2015年8月

Journal of Terahertz Science and Electronic Information Technology

文章编号: 2095-4980(2015)04-0584-06

# 标准低密度奇偶校验码译码算法中量化结构

兰亚柱 1.2,杨海钢 1\*,林 郁 1

(1.中国科学院 电子学研究所 可编程芯片与系统研究室, 北京 100190; 2.中国科学院大学, 北京 100190)

摘 要: DVB-S2 标准低密度奇偶校验码(LDPC)译码器在深空通信中面临着低复杂度、高灵活性及普适性方面的迫切需求。通过对 LDPC 译码算法中量化结构的研究,提出一种动态自适应量化结构的设计方法。该方法在常规均匀硬件量化的基础上,提出了修正化 Min-Sum 译码算法中的数据信息初始化及迭代译码的动态自适应量化结构,解决了 DVB-S2 标准 LDPC 码译码时存在的校验节点运算与变量节点运算之间的复杂度不平衡的问题,并由此提高了译码器的译码性能。实验证明,以 DVB-S2 标准 LDPC 码中码长为 16 200,码率为 1/2 的为例,提供动态自适应量化结构与常规的均匀量化结构相比,节省硬件资源为 4%。此外,动态自适应量化结构支持动态可配置功能,保证了 DVB-S2 标准 LDPC 译码器的灵活性及普适性。

## Design of quantitative structure of LDPC decoded algorithm

LAN Yazhu<sup>1,2</sup>, YANG Haigang<sup>1\*</sup>, LIN Yu<sup>1</sup>

(1.System on Programmable Chip Research Department, Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China; 2.University of Chinese Academy of Sciences, Beijing 100190, China)

Abstract: In deep space communications, the Low Density Parity Check(LDPC) Codes decoding based on DVB-S2(Second Generation Satellite Digital Video Broadcasting Standard) must meet the requirements of low complexity, high flexibility and universal aspects. This paper presents a methodology to design a dynamic adaptive quantitative structure based on studying the quantitative structure of LDPC decoding. Based on conventional uniform quantization of the hardware, a dynamic adaptive quantization structure for data information initialization and iteration decoding of modified Min-Sum decoding algorithm is proposed, which reduces the complexity imbalance between the check node processing units and variable node processing units, therefore, improves the decoding performance of the decoder. Experiments show that, for the DVB-S2 standard LDPC code with code length of 16 200 and rate of 1/2, the proposed dynamic adaptive quantization structure saves 4% hardware resources compared with the conventional adaptive quantization structure. In addition, the dynamic adaptive quantization structure supports dynamic configuration functions, which ensures the flexibility and universality of LDPC decoder.

Key words: DVB-S2; Low Density Parity Check(LDPC) Codes; optimized design of decoder; quantitative structure

作为航天空间技术的基础和中心问题之一,深空通信能力将直接影响航天空间技术的整体发展水平<sup>[1]</sup>。在此 情况下,信道编码特别是纠错编码技术可以经济有效地改善深空通信系统的性能。1962年,GallagerR首次提出 低密度奇偶校验码(LDPC)<sup>[2]</sup>。1996年被 MacKay和 Neal等人重新发现后<sup>[3]</sup>,LDPC码的优越性能和可实用性逐 渐被人们所重视,LDPC码也逐渐应用在各种通信系统中。DVB-S2是欧洲数字视频广播(DVB)项目组在 2004年 开发出来的第2代卫星广播标准,有效覆盖了各种卫星应用领域。作为 DVB-S2标准的核心技术,前向纠错 (Forward Error Correction, FEC)系统采用 BCH(Bose,Ray-Chaudhuri,Hocquenghem)码与LDPC码级联,在相同的 传播条件下,其容量距离理论上的香农极限仅 0.7 dB。根据实际应用环境的需要,DVB-S2 标准中 FEC 编码块的 长度分别为 64 800 bit 和 16 200 bit,其中 LDPC 码为适应不同的信道条件采用了可变码率技术,有 11 种码率可 供选择。可变码率的 LDPC 技术结合多种调制方式可以实现在保证业务可靠性的前提下达到信息系统最大可能的 有效性。以上分析可知,设计适用于 DVB-S2 中两种码长、11 种码率的通用 LDPC 码编译码器对于 DVB-S2 标 准的应用十分重要。针对 DVB-S2 标准 LDPC 码译码器而言,译码算法和译码器设计是决定编码性能和应用前景 的重要因素之一。目前,修正化 Min-Sum 译码算法作为 LDPC 码的一种便于硬件逻辑实现的译码算法被广泛使 用。在不同应用中,人们需要根据具体码字和系统需求,对修正化 Min-Sum 算法做出相应的改进或调整,使译 码器在复杂度适当的条件下,不断向最优译码性能靠近<sup>[4-5]</sup>。在深空通信中,当采用现场可编程门阵列(Field Programmable Gate Array, FPGA)对 DVB-S2 标准 LDPC 码译码器进行硬件逻辑实现时,若采用传统的均匀硬件 量化结构完成译码器设计<sup>[6-7]</sup>,将存在以下问题:a) LDPC 码译码器在硬件逻辑资源消耗与迭代译码性能间存在 矛盾;b) LDPC 码译码器在进行迭代译码的过程中,迭代译码算法中的变量节点和校验节点更新信息会产生硬件 量化溢出问题;c) LDPC 码译码器在硬件量化结构上缺少灵活性及普适性,导致译码器的性能比较单一,应用范 围有限。针对传统均匀硬件量化结构存在的诸多问题,本文基于修正化 Min-Sum 译码算法,提出了一种动态自 适应硬件量化结构。同时,以 DVB-S2 标准中码长为 16 200,码率为 1/2 的 LDPC 码为例,采用 FPGA 完成硬件 逻辑实现,经实验验证了该动态自适应硬件量化结构的有效性<sup>[8-10]</sup>。

#### 1 动态自适应量化结构

#### 1.1 DVB-S2 标准中 LDPC 码

DVB-S2 标准充分利用信道编码(LDPC 码编码)和调制技术的最新进展,力求实现性能与硬件逻辑实现复杂 度之间的最佳平衡,在相同的传播条件下,其容量与 DVB-S 相比较,一般有 35%的提升。

DVB-S2标准采用 BCH 码与 LDPC 码级联的 FEC 系统,其性能接近理论极限。DVB-S2标准提供了 1/4,1/3,2/5, 1/2,3/5,2/3,3/4,4/5,5/6,8/9 和 9/10 共 11 种纠错编码比率,以适应不同的调制方式和系统需求。除此之外,DVB-S2 引入了 64 800 和 16 200 两种 LDPC 码长,码长极长是其性能优异(距香农限仅 0.7 dB,比 DVB-S 标准提高了 3 dB)的原因之一。基于以上优点,DVB-S2 标准不仅满足民用消费者观看电视节目的需求,而且充分发挥卫星信道频带宽、传输信息量大的优势,能够进行多媒体数据播出或 Internet 的交互式服务业务。DVB-S2 标准很有可能成为卫星数字电视、深空通信等领域信道编码的发展的方向。在此情况下,DVB-S2 标准为民用消费者提供的服务以及为卫星数字电视的运营商和服务商提供的巨大经济财富将是无限的。

#### 1.2 修正化 Min-Sum 算法

修正化 Min-Sum 译码算法是对误差反向传播(Error Back Propagation, BP)算法在对数似然比译码算法的一种 修正简化。通过将 BP 算法中所需的乘法运算转化为加法运算,修正化 Min-Sum 译码算法可以在保证不降低性能 的基础上更加有利于硬件逻辑的实现<sup>[11-12]</sup>。修正化 Min-Sum 译码算法的实现步骤可以分为 4 个阶段: a) 初始化; b) 校验节点更新; c) 变量节点更新; d) 迭代终止。其中,数据信息初始化和迭代译码终止与迭代译码中的硬 件逻辑量化具有密切的关系。在保证迭代译码性能的情况下,降低对硬件逻辑实现的资源消耗,对 LDPC 码译码 器的硬件逻辑实现及其实用性具有非常重要的意义。

为评估动态自适应量化结构的有关参数及性能,本文在 Matlab 2012b 环境中对修正化 Min-Sum 译码算法性 能进行了仿真及验证。具体的仿真条件如下: a)采用二进制相移键控(Binary Phase Shift Keying, BPSK)调制; b)信道为加性高斯白噪声(Additive White Gaussian Noise, AWGN)信道。

通过 Matlab 2012b 仿真验证,可以确定最为合适的译码迭代次数、修正化因子及硬件逻辑量化精确度等译码参数。

1.2.1 修正化 Min-Sum 算法中迭代次数的研究

作为迭代译码结构中的算法模型,修正化 Min-Sum 算法中的最大迭代次数关系到 LDPC 码译码器的纠错性 能以及硬件逻辑实现的复杂度。同时,硬件逻辑实现 LDPC 译码器中最大迭代次数关系到迭代译码过程中是否会 出现硬件量化溢出问题。鉴于此,本文选用基于 DVB-S2 标准中的码长为 16 200,码率为 1/2 的 LDPC 码,在 Matlab 2012b 环境下,对不同最大迭代次数的修正化 Min-Sum 算法的译码性能进行分析,进而得出最为合理的 最大迭代次数。针对 50 帧译码数据信息,不同最大迭代次数情况下,译码性能仿真数据信息见图 1。 由图 1 的仿真数据可知,最大迭代次数为 15 次时,修正化 Min-Sum 算法的译码性能与最大迭代次数为 30 或 50 次时已经相当。在此基础上,为了降低硬件逻辑实现的复杂度,提高硬件译码的数据信息吞吐率,本文选用最大迭代次数为 15 次作为确定其他有关译码器中动态自适应量化结构中有关参数的条件。 1.2.2 修正 Min-Sum 算法中修正化因子的研究

修正化 Min-Sum 算法中,修正化因子可以起到提高译码算法迭代译码收敛度的作用。本文基于 DVB-S2 标准中的码长为 16 200,码率为 1/2 的 LDPC 码,在 Matlab 2012b 环境下,设置最大迭代次数为 15,对不同修正 因子的修正化 Min-Sum 算法的译码性能进行仿真分析。

针对 50 帧译码数据信息,不同修正化因子情况下,译码性能仿真数据信息见图 2。由仿真数据对比可知, 修正化 Min-Sum 译码算法中的修正化因子取值 0.75 时,迭代译码的性能最好。在此情况下,本文选用修正化因 子为 0.75,作为确定其他有关译码器中动态自适应量化结构的有关参数的条件。



Fig.1 Decoded performance simulation with different maximum iteration numbers 图 1 不同最大迭代次数情况下译码性能仿真数据信息

### 1.3 修正化 Min-Sum 算法中动态自适应硬件量化结构的实现

基于针对修正化 Min-Sum 算法中的迭代次数和修 正化因子的 Matlab 2012b 仿真结果,本文提出动态自 适应硬件量化结构。

对该硬件量化结构研究中,译码环境采用高斯白噪 声信道、BPSK 调制,在不同的信噪比时,最大迭代次 数为 15,修正化因子为 0.75。在此情况下,为了对信 道接收端的数据信息的范围进行分析,采用不同的信噪 比,统计出的接收端接收到的数据信息的模拟数值大小 范围见图 3。

在图 3 中,在信噪比为(0 dB~100 dB)的范围时,信 道接收端的数据信息模拟值极限值为 6。因此在修正化 Min-Sum 译码算法中,数据信息初始化阶段可以(0~6) 为范围,合理地选择硬件逻辑量化的比特位数及整数 位、小数位的表示宽度。

ig.2 Decoded performance simulation with different correction factors 图 2 不同修正因子情况下,译码性能仿真数据信息



图 3 信噪比与信道接收端数据信息值间的关系

动态自适应量化结构中,修正化 Min-Sum 算法中的数据信息初始化阶段,数据信息的硬件量化比特位数可 以选择(4~10)。针对比特位数的选择,一方面 LDPC 码译码精确度要求越高,比特位数越宽;另一方面 LDPC 译 码器实现消耗硬件逻辑资源越少,比特位数越窄。当比特位数一定时,整数位与小数位的表示宽度具有以下关系, 当 LDPC 码译码精确度要求越高,小数位表示宽度越宽。

在层次化修正 Min-Sum 译码中,譬如,在第 i 层中,中间信息变量的计算见式(1):

$$Temp_i = Qv_i - Rc_i (1 \le i \le M) \tag{1}$$

通过比较中间信息变量,可以确定该层对应的中间信息变量的最小值和次小值,进而可以完成对校验节点信

息的更新。确定 Rc<sub>i</sub>(1≤i≤M)的值后,变量节点信息的更新见式(2):

#### $Qv_i = Temp_i + Rc_i (1 \le i \le M)$

(2)

data range

+127

-127

+254

-254

表1 不同量化方案中译码器的数据信息取值范围

Table1 Data range in decoded for different

11111111

01111111

11111111

11111110

quantization schemes

symbol

high level symbol

low level symbol

587

在此情况下,层次化修正 Min-Sum 译码便完成第 *i* 层数据信息的迭代。在此过程中,随着迭代译码迭代次数的递增,变量节点信息的更新会出现硬件量化范围的边界饱和,产生较大的硬件量化溢出效应,严重影响层次化修正 Min-Sum 译码的性能。由此可见,由于硬件量化的关系,译码器实现中存在的硬件量化溢出无形中给 Min-Sum 译码算法带来了不可避免的系统误差。

在此,本文以信道接收端数据信息硬件逻辑量化的比特位宽为 8 bit 数据(1 bit 数据符号位,1 为正,0 为负,

7 bit 的数据大小值)。同时,在硬件逻辑量化结构中的比特位数、整数位及小数位确定的情况下,为了解决硬件量化溢出所带来的译码性能降低的问题,在进行 8 bit 数据量化时,本文采用低位表示数据符号位的策略(最低位为"0"代表负数,最低位为"1"代表正数)。硬件逻辑实现表明,在此情况下,低位为符号位的方案可以在不增加硬件存储逻辑资源的前提下,使数据信息的量化范围扩展一倍,从而可以有效地避免硬件量化在迭代译码过程中的溢出问题。低符号位的量化策略对译码器的数据信息取值范围的扩展见表 1。

#### 2 基于动态自适应量化的译码器的设计与实现

本文提出的 LDPC 码译码器包含的动态自适应量化结构主要包括译码过程中的数据信息初始化阶段、校验节点与变量节点 更新阶段和译码结果判决阶段等 3 部分量 化处理模块,以此来实现动态自适应量化。动态自适应量化结构见图 4。

数据信息初始化阶段, 动态自适应量化 结构运算单元负责设置信道接收端接收到 的模拟数据信息的量化方式。该运算单元负 责接收动态自适应量化结构的量化位宽数 据, 并依据该数据参数对接收端模拟数据信 息进行硬件逻辑量化。同时, 该模块会依据 量化位宽对 LDPC 码译码器的硬件存储资 源进行动态调整。





校验节点与变量节点更新阶段,动态自适应量化结构自适应估计单元会基于迭代译码的最大迭代次数,利用 自适应映射功能获取具体的硬件量化比特位宽。该自适应结构在保证 LDPC 码译码器译码性能精确度的同时,避 免在迭代译码的过程中出现量化溢出等问题引起的译码错误。

译码结果判决阶段,动态自适应量化结构的控制单元会对译码中的数据信息进行动态判决。该结构可以保证 在每一轮迭代中,及时发现迭代译码输出正确的情况,从而保证迭代译码的动态终止。动态迭代译码终止功能, 一方面能提高 LDPC 码译码器的数据信息吞吐率;另一方面可以避免迭代次数过多而导致的 LDPC 码译码器硬件 逻辑实现时对逻辑资源的过多消耗。

#### 3 动态自适应量化结构的实现结果及分析

基于本文提出的动态自适应量化结构,采用 VHDL 硬件逻辑描述语言,以 DVB-S2 标准中码长为 16 200, 码率为 1/2 的 LDPC 码为例进行硬件逻辑实现。同时利用 Altera 公司提供的 Quartus II 13.0 进行编译综合,采用 Altera 公司 Stratix IV 系列的 EP4SGX230KF40C4 型号的 FPGA 作为系统性验证硬件平台。以硬件逻辑资源消耗 为基础,表 2 对比了常用的量化结构与动态自适应量化结构两种方案的综合结果。

表 2 中第 2 栏、第 3 栏中的百分数为实际耗用资源在用于综合的 FPGA 中所占资源的比例。其中在表 2 中不 同方案的译码器所耗用的逻辑资源,都是在取量化比特数为 8 bit 时的所得。由表中数据分析可以得出,动态自 适应量化结构在保证相同译码性能的条件下,对 FPGA 的存储资源消耗降低了约 4%。

表2 两种方案的综合结构比较 Table2 Comprehensive structure comparison			表3 译码初始化中动态自适应量化结构资源消耗比较 Table3 Resource consumption comparison of dynamic adaptive quantization structure in decoded initialization		
quantization structure	logical resource/LEs	memory resource/bit	quantization structure/bit	logical resource/LEs	memory resource/bit
general structure	13 728(7%)	4 064 890(27%)	<u>quantization ou actare on</u> 8	10 574(6%)	3 413 600(23%)
adaptive structure	10 574(6%)	3 413 600(23%)	6	8 513(5%)	3 089 600(21%)

为了验证动态自适应量化结构在修正化 Min-Sum 译码算法中的数据信息初始化阶段和动态迭代过程中的性 能,本文采用分阶段灵活配置的方式,分别选取不同的硬件量化方式,进行 Quartus II 13.0 编译,采用 ModelSim 10.1b 进行功能性仿真验证。表 3 中对比数据信息初始化阶段采用不同的硬件逻辑量化精确度后,通过综合编译 对 FPGA 硬件逻辑资源的消耗情况。通过对比,动态自适应量化结构可以有效适应不同的 LDPC 译码精确度需求 及硬件逻辑资源消耗之间的有效平衡。

为了验证动态自适应量化结构在修正化 Min-Sum 迭代译码算法迭代译码阶段的性能,在通过参数可配置功 能设置关闭译码器的动态迭代终止功能的条件下,在 ModelSim 10.1b 环境中,对采用动态自适应量化结构的译 码器进行功能验证。功能验证结果显示,在量化比特位宽不同的情况下,最大迭代次数为 15 次迭代译码和 50 次迭代译码的功能验证结果均显示正确。

基于 ModelSim 10.1b 对 LDPC 码译码器的不 同最大迭代译码次数仿真,得出校验节点和变量 节点更新阶段,动态自适应量化结构的量化比特 位宽。不同最大迭代次数对应的量化比特位宽见 表 4。在表 4 中的量化比特位宽会依据不同的信道 信噪比而不同,但均可以利用 ModelSim 10.1b 和 Matlab 2012b 仿真得出。由此得出的这些量化比 特位宽信息,可以作为动态自适应量化结构的可 配置参数的选择参考。

表4 不同最大迭代次数对应的量化比特位宽

maximum number of iteration	R <sub>SN</sub> /dB	quantification bit width/bit
5	1.5	7
10	1.5	8
15	1.5	9
20	1.5	9
25	1.5	9
30	1.5	10
40	1.5	10
50	1.5	11

本文中的动态自适应量化结构与传统译码器常用的量化结构相比,不仅有效降低了 LDPC 码译码器实现的耗 用硬件逻辑资源,而且在数据信息初始化阶段、迭代译码过程中的校验节点和变量节点更新阶段及迭代译码终止 阶段,均具有可配置功能的动态自适应量化。在适应不同的 LDPC 码译码器结构时,动态自适应量化结构支持硬 件逻辑量化总比特位数、整数比特位数、小数比特位数、迭代中间变量信息存储位宽、最大迭代次数及动态迭代 译码终止等功能。因此,本文提出的修正化 Min-Sun 迭代译码算法基础上的动态自适应量化结构,是一种在硬件 资源和译码性能之间有效的动态平衡。

#### 4 结论

本文提出了一种可以应用于 DVB-S2 标准中 LDPC 码译码实现的动态自适应量化结构,并对该结构进行了 Matlab 2012b 仿真、Quartus II13.0 综合编译, ModelSim 10.1b 系统性功能验证。实验验证中, 以 DVB-S2 标准中 码长为 16 200, 码率为 1/2 的 LDPC 码为例, 进行 LDPC 码译码器设计。实验结果表明, 动态自适应量化结构适 用于 DVB-S2 标准中 LDPC 码译码器的硬件实现,降低耗用逻辑资源的规模,提高了译码器的动态可配置性能。 在众多平衡译码速率与硬件资源的优化方法中,本文无疑给 LDPC 码译码器的硬件逻辑实现提供了一种性能准 确、灵活度高、普适性强的的硬件逻辑量化结构。下一步将以动态自适应量化结构为基础,研究实现适合深空通 信的动态自适应 LDPC 码译码器。

#### 参考文献:

[1] 孙钰林,王菊花,吴增印.LDPC码在深空通信中的兼容编码技术[J]. 太赫兹科学与电子信息学报, 2012,10(1):18-21. (SUN Yulin, WANG Juhua, WU Zengyin. Universal encoder for LDPC codes in deep space communications[J]. Journal of Terahertz Science and Electronic Information Technology, 2012,10(1):18-21.)

- [2] Gallager R. Low density parity check codes[J]. IRE Trans. on Inform. Theory, 1962, IT-8(1):21-28.
- [3] MacKay D J C, Neal R M. Near Shannon limit performance of low density parity check codes[J]. Electro. Lett., 1996,32(18): 1645-1646.
- [4] WU Zijing, SU Kaixiong, GUO Liting. A modified Min Sum decoding algorithm based on LMMSE for LDPC codes[J]. AEU-International Journal of Electronics and Communications, 2014,68(10):994-999.
- [5] Roberts M K, Jayabalan R. A modified normalized Min-Sum decoding algorithm for irregular LDPC codes[J]. International Journal of Engineering and Technology, 2013,5(6):4881.
- [6] ZHANG Xiaojie, Siegel P H. Quantized Min-Sum decoders with low error floor for LDPC codes[C]// 2012 IEEE International Symposium on Information Theory Proceedings(ISIT). Cambridge, MA:IEEE, 2012:2871-2875.
- [7] CHEN Zhengkang, ZHANG Huisheng, LI Lixin, et al. Uniform quantization of LDPC codes for 8PSK modulation[C]// 2013 IEEE International Conference on Signal Processing, Communication and Computing(ICSPCC). Kunning, China: IEEE, 2013: 1-4.
- [8] 周昱,刘荣科,侯毅. 一种提高 LDPC 译码层内并行度的方法[J]. 太赫兹科学与电子信息学报, 2012,10(6):719-724.
  (ZHOU Yu,LIU Rongke,HOU Yi. An approach to improve parallelism inside layer in LDPC decoding[J]. Journal of Terahertz Science and Electronic Information Technology, 2012,10(6):719-724.)
- [9] 钟州,金梁,黄开枝,等. 基于二维信息修正减小 LDPC 码安全间隙的译码算法[J]. 电子与信息学报, 2013,35(8):1946– 1951. (ZHONG Zhou,JIN Liang,HUANG Kaizhi,et al. Decoding algorithm for reducing security gap of LDPC codes based on two-dimensional information correction[J]. Journal of Electronics & Information Technology, 2013,35(8):1946–1951.)
- [10] Oh D, Parhi K K. Min-Sum decoder architectures with reduced word length for LDPC codes[J]. IEEE Transactions on Circuits and Systems-I:Regular Papers, 2010,57(1):105-115.
- [11] LI Jiangpeng,HE Guanghui,HOU Hexi,et al. Memory efficient layered decoder design with early termination for LDPC codes[C]// 2011 IEEE International Symposium on Circuits and Systems(ISCAS 2011). Rio de Janeiro,Brazil:IEEE Press, 2011: 2697-2700.
- [12] 马卓,杜栓义,王新梅. 基于量化的 LDPC 译码算法的高效实现[J]. 电子与信息学报, 2011,33(9):2273-2277. (MA Zhuo, DU Shuanyi,WANG Xinmei. Efficient implementing of LDPC decoding algorithm based on quantization[J]. Journal of Electronics & Information Technology, 2011,33(9):2273-2277.)

#### 作者简介:



**兰亚柱**(1983-),男,山西省临汾市人, 在读博士研究生,主要从事 FPGA 领域 IP 核 及 通 信 网 络 编 解 码 技 术 的 研 究 .email: lanyazhu@163.com. 杨海钢(1960-),男,上海市人,研究员,博士生导师,中国科学院"百人计划"引进国外杰出人才,主要从事可编程芯片与系统,数模混合信号可编程SoC等方面的研究.email:yanghg@mail.ie.ac.cn.

林 郁(1982-),男,广东省惠来县人,助理研究员,主要从事 FPGA 结构, FPGA CAD,高层综合和 FPGA 高性能计算等方面的研究.