

文章编号: 2095-4980(2019)04-0716-05

一种 24 GHz CMOS 功率放大器设计

彭尧, 何进, 王冲, 王豪, 常胜, 黄启俊

(武汉大学 物理科学与技术学院, 湖北 武汉 430072)

摘要: 基于 130 nm 互补金属氧化物半导体(CMOS)工艺, 设计了一种高增益和高输出功率的 24 GHz 功率放大器。通过片上变压器耦合实现阻抗匹配和功率合成, 有效改善放大器的匹配特性和提高输出功率。放大器电路仿真结果表明, 在 1.5 V 供电电压下, 功率增益为 27.2 dB, 输入输出端回波损耗均大于 10 dB, 输出功率 1 dB 压缩点 13.2 dBm, 饱和输出功率 17.2 dBm, 峰值功率附加效率 13.5%。

关键词: 互补金属氧化物半导体; 功率放大器; 变压器耦合; 功率合成

中图分类号: TN722

文献标志码: A

doi: 10.11805/TKYDA201904.0716

Design of a 24 GHz CMOS power amplifier

PENG Yao, HE Jin, WANG Chong, WANG Hao, CHANG Sheng, HUANG Qijun

(School of Physics and Technology, Wuhan University, Wuhan Hubei 430072, China)

Abstract: A 24 GHz power amplifier with high gain and high output power based on 130 nm Complementary Metal Oxide Semiconductor(CMOS) is designed. Impedance matching and power synthesis are achieved through on chip transformer coupling, which effectively promotes the matching characteristics and improves the output power of the amplifier. The simulation result shows that, under a 1.5 V power supply, the power gain is 27.2 dB; the input and output return losses are more than 10 dB; the 1dB output power compression point is 13.2 dBm with a saturated output power of 17.2 dBm; the peak Power Added Efficiency(PAE) is 13.5%.

Keywords: Complementary Metal Oxide Semiconductor; power amplifier; transformer coupling; power synthesis

本文研究背景主要是基于车载雷达的应用与研究。目前雷达的射频前端电路一般由 III-V 族化合物半导体制作, 成本过高, 迫切需要研发低成本的微波和毫米波功率放大器。由于当前半导体制造业的发展进步, CMOS 成为最有可能实现这个目标的半导体器件, 与其他材料的半导体器件相比, CMOS 成本较低, 而且在系统集成方面具有非常突出的优势^[1]。然而受 CMOS 体硅工艺的限制, 硅基 CMOS 功率放大器的设计一直是一个挑战, 尤其是其击穿电压较小使得最大输出功率受到限制^[2]。本文设计充分考虑 CMOS 工艺的特性, 最大化利用 CMOS 的功率性能, 设计了一种基于变压器耦合的两路合成功率放大器, 该结构不仅简化了电路的匹配网络, 而且变压器的应用有效提高了输出功率^[3-5]。

本文采用 130 nm CMOS 工艺设计了一个基于变压器耦合的 24 GHz 两路合成功率放大器, 其饱和输出功率超过 17 dBm, 性能得到明显提升。

1 电路设计

功率放大器的整体电路如图 1 所示, 该功率放大器采用二级共源共栅放大电路作为驱动级, 共源放大电路作为功率级, 级间采用变压器 T_2 进行匹配, 变压器匹配的结构具有版图紧凑、易于添加直流偏置等优点。输入

收稿日期: 2017-12-20; 修回日期: 2018-03-01

基金项目: 国家自然科学基金资助项目(61204096; 61404094); 中央高校基本科研基金资助项目(2042015kf0174; 2042014kf0238); 中国博士后科学基金资助项目(2012T50688); 湖北省自然科学基金资助项目(2014CFB694); 江苏省科学基金资助项目(BK20141218)

输出级的变压器巴伦 T_1 和 T_3 起阻抗匹配以及单端差分信号转换的作用。电容 C_7 和 L_7 组成 L 匹配网络, 联合输出级变压器巴伦 T_3 保证输出功率匹配的最佳性。电容 C_1 和 L_1 组成 L 匹配网络, 联合输入级变压器巴伦 T_1 , 实现输入信号共轭匹配的最佳性。各级晶体管的直流偏置电压均有系统中集成的偏置电路网络提供。

1.1 变压器电路设计

片上变压器由于其结构紧凑、面积小、损耗低等优点, 广泛应用于射频集成电路中的单端信号与差分信号之间的相互转换、阻抗匹配网络和功率合成网络。图 2 为片上变压器的三维模型图。毫米波段变压器模型较为复杂, 在模型中需要考虑趋肤效应、衬底损耗效应、原副线圈相互耦合效应等^[6], 因而在变压器设计过程中需要考虑多方面的因素。

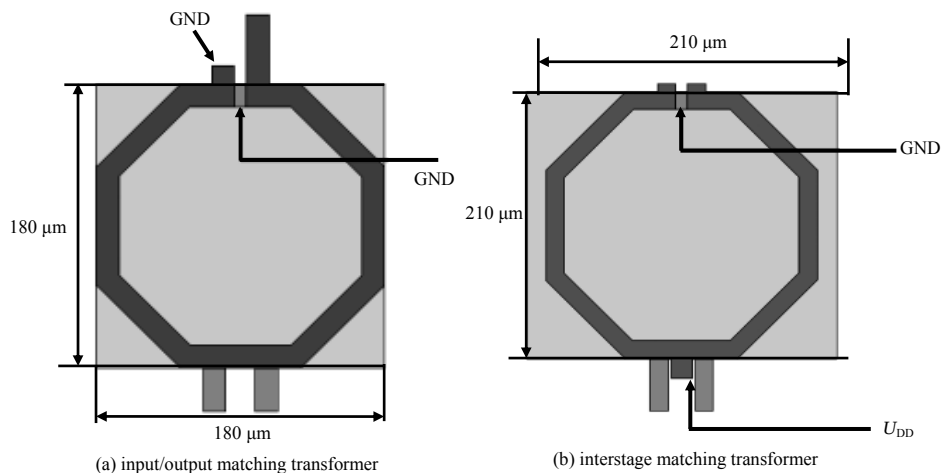


Fig.2 3D model of the transformer

图2 变压器三维模型图

对于片上变压器, 其损耗为:

$$G_{\max} = \frac{|S_{21}|}{|S_{12}|} \left(\zeta - \sqrt{\zeta^2 - 1} \right) \quad (1)$$

式中 $\zeta = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{21}S_{12}|}$, $\Delta = S_{11}S_{22} - S_{21}S_{12}$ 。

其最小插入损耗为:

$$IL_{\min} = -10 \lg G_{\max} \quad (2)$$

根据文献[7], 有:

$$f_c = \frac{R}{2\pi L_p \sqrt{1 - k^2}} \quad (3)$$

式中: f_c 是片上变压器的工作中心频率; L_p 是变压器原线圈的自感; k 是变压器两线圈之间的耦合系数; R 为负载电阻和连接负载电阻的线圈的电阻之和。通过调节变压器线圈半径, 改变其电感值, 使变压器工作在所需的频率并与前后级电路形成良好的匹配。本文设计的变压器工作于 24 GHz 频段, 通过三维电磁仿真软件对变压器进行建模仿真并确定其几何参数, 将仿真结果生成电磁模型再用于功率放大器的电路仿真。

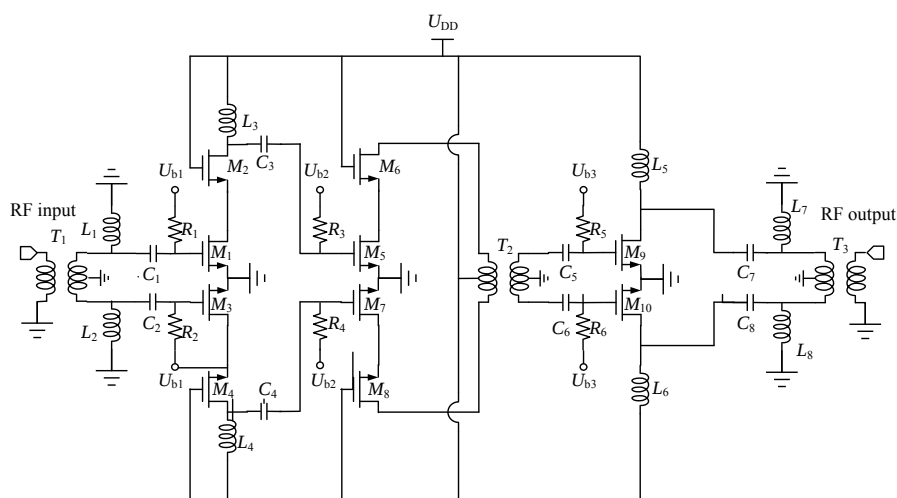


Fig.1 Schematic of the power amplifier

图1 功率放大器电路原理图(未画偏置电路)

片上变压器经过优化后的参数仿真如图 3 所示, 用于输入输出匹配的变压器和级间匹配的变压器在 24 GHz 频率处的插入损耗分别为 0.65 dB/1.7 dB, 2 个变压器的损耗较小, 尺寸也在合理的范围内, 满足设计要求。

采用片上变压器设计功率放大器可避免大面积片上电感的使用, 且变压器隔直流通交流的特性也可避免大面积片上电容的使用, 从而减小芯片面积, 降低版图设计难度^[8]; 变压器本身具有电感特性, 可以实现阻抗匹配, 比起用分立电感电容建立的匹配网络更为简化。虽然片上变压器的使用会引入损耗, 但通过合理的尺寸优化可将损耗降至最低, 从而在整体上提高功率放大器的性能。

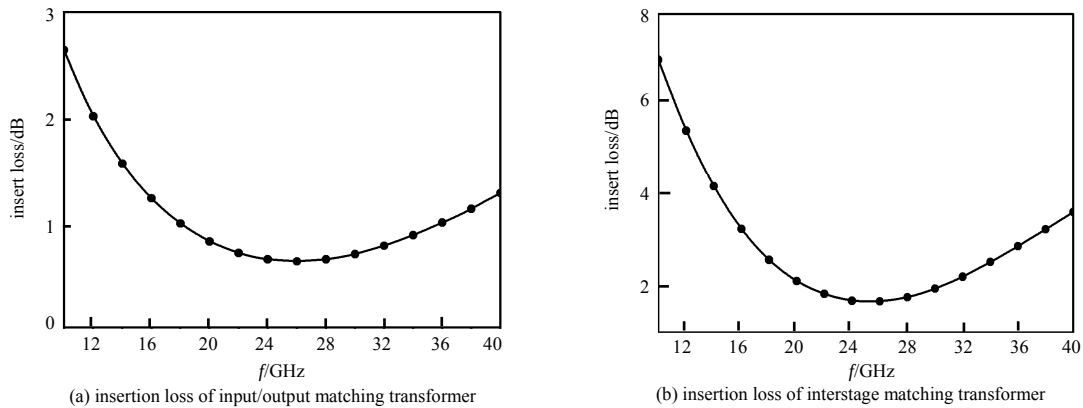


Fig.3 Simulation of the transformer

图 3 变压器参数仿真

1.2 核心电路设计

本文设计的功率放大器由输入匹配网络、增益驱动级、级间匹配网络、功率输出级、输出匹配网络以及偏置电路构成。经过仿真发现, 单级放大器难以同时满足增益大于 20 dB, 输出功率大于 10 dBm 的设计目标, 综合考虑放大器的增益和线性度, 本文采用图 4 所示的三级放大电路。

第一级放大器作为电路驱

动级将功率增益作为主要目标, 选用晶体管面积较小, 增益较高, 流过电流较小, 输出功率较小; 第三级放大器作为功率输出级则主要考虑线性度、高功率等方面, 一般晶体管面积较大, 流过电流较大, 增益反而较小^[9]; 第二级放大器承接驱动级和功率输出级电路, 需要同时兼顾增益和功率, 因此在设计中选用适当面积的晶体管以满足适中的增益和单级输出功率。

第一、二级放大电路采用共源共栅电路, 共源共栅结构能够提供高的电压增益, 与共源结构相比, 共源共栅结构能承受更高的电源电压, 输出阻抗更高, 有更大的功率增益并能够提高输入输出间的隔离度, 有利于调节阻抗匹配^[10-11]。在频率达到 20 GHz 以上时, 晶体管的栅源电容 C_{gs} 体现出较小的阻抗, 会在栅源之间形成反馈回路, 导致共源结构的驱动电路不够稳定, 而共源共栅电路的共栅晶体管起到了隔离作用^[12], 大大提高了稳定性。第三级放大器采用共源电路, 输出高电压能够增大负载上的电压摆幅, 从而提高输出的能量^[13-14], 可以实现较大的功率输出。驱动级电路和功率级电路间采用变压器进行匹配, 将功率级的输入阻抗变换至更高的阻抗以得到一个高的增益, 同时变压器的宽带特性也一定程度地优化了放大器的 3 dB 带宽。

2 电路仿真

通过 EDA 电路设计工具 Cadence 对所设计的功率放大器电路进行仿真, 在电源电压 1.5 V 下, 功率放大器的小信号 S 参量仿真曲线如图 5 所示, 功率放大器在 24 GHz 频点处增益为 27.2 dB, 输入输出回波损耗分别为

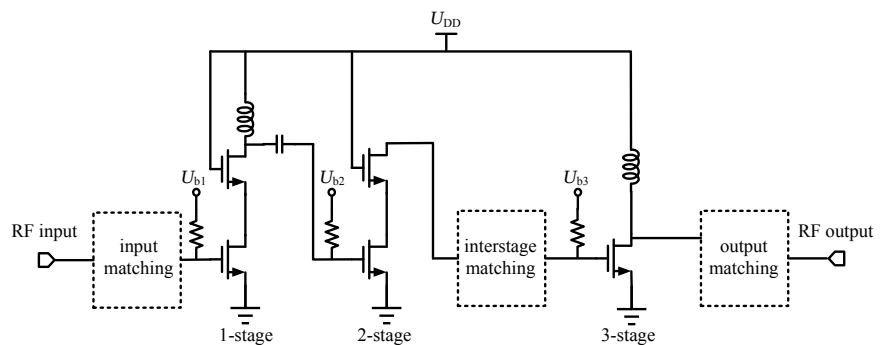


Fig.4 Main circuit structure of power amplifier

图 4 功率放大器主体电路结构图

14.88 dB/11.27 dB。可以看到,所设计的功率放大器在 24 GHz 频率附近实现了较好的增益和匹配特性。

图 6 为本文设计的功率放大器的大信号特性仿真。由图可知,功率放大器的输出 1 dB 功率压缩点为 13.2 dBm,饱和输出功率约为 17.2 dBm;当输入功率为 0 dBm 时,峰值功率附加效率达到了 13.5%。

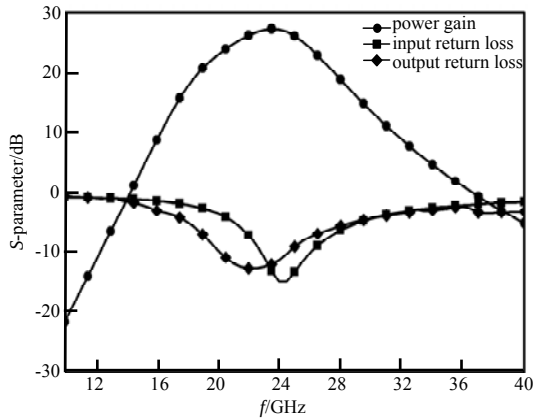


Fig.5 S-parameter of power amplifier
图5 功率放大器 S 参量仿真

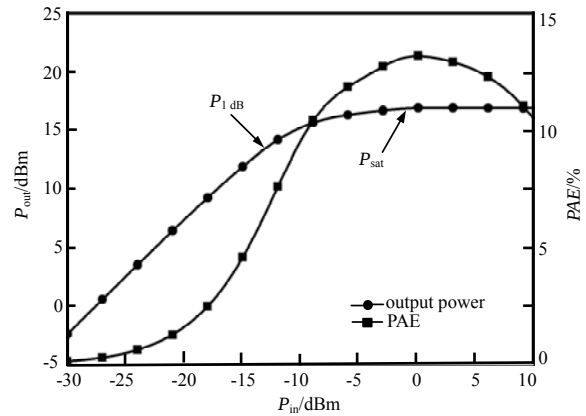


Fig.6 Large signal characteristics of power amplifier
图6 功率放大器大信号特性仿真

与表 1 中已发表的成果相比,本文设计的功率放大器在功率增益和线性度方面都具有明显优势。和上一阶段的成果^[15]相比,本文的功率放大器采用了三级级联的双路功率合成的方案,并通过片上变压器实现阻抗匹配和功率合成,使放大器获得更高的功率增益和输出功率;然而由于变压器引入了损耗,功率放大器的效率有所下降,还可以通过调整变压器尺寸和级间匹配网络参数进一步优化。

表 1 本文与已发表文章中的功率放大器性能比较

Table1 Performance comparison of the power amplifier between this article and the published article

	f/GHz	gain/dB	output $P_{1\text{dB}}/P_{\text{sat}}/\text{dBm}$	supply voltage/V	PAE/%	process
[9]	24	15.4	12.3/15.4	2.5	21.0	180 nm CMOS
[10]	24	7.0	11.0/14.5	2.8	6.5	180 nm CMOS
[11]	17	14.5	13.1/17.1	1.5	9.3	130 nm CMOS
[12]	20	26.0	8.0/10.2	1.5	20.5	130 nm CMOS
[15]	26	18.6	8.6/12.2	1.5	22.4	130 nm CMOS
this work	24	27.2	13.2/17.2	1.5	13.5	130 nm CMOS

3 版图设计

本文设计的 24 GHz 功率放大器基于 130 nm CMOS 工艺。利用 EDA 版图设计工具 Virtuoso 进行该功率放大器的版图设计,如图 7 所示,包括压焊盘在内,版图总面积为 $1\,400\,\mu\text{m} \times 1\,100\,\mu\text{m}$ 。

4 结论

基于 130 nm CMOS 工艺,本文设计了一个利用片上变压器耦合的两路合成功率放大器。在 24 GHz 频点处,其增益为 27.2 dB,输入输出回波损耗分别为 14.88 dB/11.27 dB,1 dB 压缩输出功率和饱和输出功率分别为 13.2 dBm/17 dBm,峰值功率附加效率为 13.5%。该功率放大器实现了较好的增益和匹配特性,并有效提高了输出功率,在车载雷达通信系统中有着良好的应用前景。

参考文献:

- [1] JEN Y N, TSAI J H, PENG C T, et al. A 20 to 24 GHz 16.8 dBm fully integrated power amplifier using 0.18 CMOS process[J]. IEEE Microwave and Wireless Components Letters, 2009, 19(1): 42–44.
- [2] VASYLYEV A, WEGER P, BAKALSKI W, et al. 17 GHz 60 mW power amplifier in 0.13 μm standard CMOS[J]. IEEE Microwave and Wireless Components Letters, 2006, 16(1): 37–39.

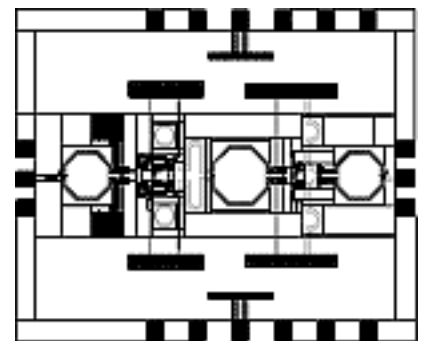


Fig.7 Layout of the power amplifier
图7 功率放大器版图

- [3] ALSURAIERY H, CHENG J H, LUO S J, et al. A 24 GHz transformer-based stacked-FET power amplifier in 90 nm CMOS technology[C]// IEEE Asia-Pacific Microwave Conference. Nanjing, China: IEEE, 2009: 1–3.
- [4] CHOWDHURY D, REYNAERT P, NIKNEJAD A M. Design considerations for 60 GHz transformer-coupled CMOS power amplifiers[J]. IEEE Journal of Solid-State Circuits, 2009, 44(10): 2733–2744.
- [5] CHEN C J, CHANG T Y, CHANG Y C. A V-band power amplifier using Marchand balun for power combining in 90 nm CMOS Process[C]// IEEE Wireless Power Transfer Conference. Taipei, China: IEEE, 2017: 1–3.
- [6] HOU D B, WEI H, WANG L G, et al. Distributed modeling of six-port transformer for millimeter-wave SiGe BiCMOS circuits design[J]. IEEE Transactions on Microwave Theory and Techniques, 2012, 60(12): 3728–3738.
- [7] JOHN R. Monolithic transformers for silicon RF IC design[J]. IEEE Journal of Solid-State Circuits, 2002, 35(9): 1368–1382.
- [8] CHAN W L, LONG J R. A 58–65 GHz neutralized CMOS power amplifier with PAE above 10% at 1 V supply[J]. IEEE Journal of Solid-State Circuits, 2010, 45(3): 554–564.
- [9] POR H, SUB V, BOE G. Fully integrated high efficiency K-band PA in 0.18 μm CMOS technology[C]// IEEE Microwave and Optoelectronics Conference. Belem: IEEE, 2009: 393–396.
- [10] ABBAS K, ARUN N, ALI H. A 24 GHz 14.5 dBm fully integrated power amplifier in 0.18 μm CMOS[J]. IEEE Journal of Solid-State Circuits, 2005, 40(9): 1901–1908.
- [11] VASY A V, WEGER P, BAKA W, et al. 17 GHz 50–60 mW power amplifier in 0.13 μm standard CMOS[J]. IEEE Microwave and Wireless Components Letters, 2006, 16(1): 37–39.
- [12] CAO C, XU H, SU Y. An 18 GHz 10.9 dBm fully-integrated power amplifier with 23.5% PAE in 130 nm CMOS[C]// 2005 IEEE European Solid-State Circuits Conference. 2005: 137–140.
- [13] 刘斌, 刘祖华, 黄亮, 等. 2.45 GHz 0.18 μm CMOS 高线性功率放大器设计[J]. 电子技术应用, 2014, 40(2): 46–48. (LIU Bin, LIU Zuhua, HUANG Liang, et al. 2.45 GHz 0.18 μm CMOS high linearity power amplifier design[J]. Electronic Technology Applications, 2014, 40(2): 46–48.)
- [14] JOSHIN K, KAWANO Y, FUJIATA M, et al. A 24 GHz 90 nm CMOS-based power amplifier module with output power of 20 dBm[C]// IEEE Radio Frequency Integrated Circuits. Singapore: IEEE, 2009: 217–220.
- [15] CHEN P W, HE J, LUO J, et al. Fully integrated pseudo differential K-band power amplifier in 0.13 μm standard CMOS[C]// 2016 International Symposium on Integrated Circuits. Singapore: IEEE, 2016: 1–4.

作者简介:



彭 尧(1994–), 男, 北京市人, 在读硕士研究生, 主要研究方向为模拟、射频、毫米波集成电路设计. email: pengyao145@126.com.

何 进(1975–), 男, 武汉市人, 副教授, 博士生导师, 主要研究方向为模拟、射频、毫米波集成电路设计.