

· 半导体器件与工艺 ·

一种具有辅助耗尽效应的 BiCMOS NJFET

冯金荣, 冯全源, 陈晓培

(西南交通大学 微电子研究所, 成都 611756)

摘 要: 基于 BiCMOS 工艺,提出了一种 N 沟道结型场效应晶体管(NJFET)。该 NJFET 通过在 MOS 管的栅极与漏极之间的 N 阱层上注入 P 型杂质,形成 P 型底部埋层(P-BOT)层。利用 P-BOT 层的辅助耗尽效应来避免 NJFET 过早横向击穿,达到提高 NJFET 源-漏击穿电压的目的。采用 Sentaurus TCAD 软件对该 BiCMOS NJFET 的击穿电压进行仿真。结果表明,该 NJFET 的击穿电压达 104 V,在相同 N 阱掺杂浓度下,比传统 NJFET 提高了 57.6%。

关键词: N 沟道结型场效应晶体管;降低表面电场;击穿电压;BiCMOS

中图分类号:TN433

文献标识码:A

文章编号:1004-3365(2018)05-0682-04

DOI:10.13911/j.cnki.1004-3365.170551

A BiCMOS NJFET with Assisted-Depletion Effect

FENG Jinrong, FENG Quanyuan, CHEN Xiaopei

(*Institute of Microelectronics, Southwest Jiaotong University, Chengdu 611756, P. R. China*)

Abstract: A novel assisted-depletion NJFET was designed in BiCMOS technology. The N-Well layer that was located at the region between gate and drain of the MOS transistor was implanted with boron, which had formed a buried P-BOT layer in the P-Sub. The P-BOT layer's assisted-depletion effect was used to raise the gate-drain breakdown voltage of NJFET by preventing the premature transverse breakdown. The breakdown voltage of the BiCMOS NJFET was simulated by Sentaurus TCAD tools. The simulation results showed that the breakdown voltage of the proposed NJFET structure had been improved to 104 V, which was enhanced up by 57.6% compared with that of the traditional NJFET at the same doping concentration in the N-Well layer.

Key words: NJFET; Resurf; breakdown voltage; BiCMOS

0 引 言

随着微电子技术的飞速发展,出现了各具特色的高性能模拟 IC 新工艺。高压、高线性、低噪声等特性成为模拟 IC 工艺的发展方向,在器件结构、制造工艺、工艺集成等方面的研究不断创新。BiCMOS 工艺作为集成电路工艺的重要组成部分之一,被广泛用于大功率集成器件、通信器件、消费电子器件和汽车电子设备的制造中。高压结型场效应

晶体管(JFET)具有很好的高压阻断能力,被应用于高电源电压开关型电源、LED 驱动器和高压 AC-DC 变换器中,以替代电路中的电阻^[1-3]。

目前,主流的 N 沟道结型场效应晶体管(NJFET)有:夹断电压可变的 NJFET^[4-5]、应用于启动电路的 PJFET、高压 NJFET^[3]。提高 NJFET 的源-漏击穿电压主要有以下两种方法:1)在 N 阱中引入 P 型底部埋层(P-BOT)结构,通过 Double-Resurf 耗尽 N 阱来提高源-漏击穿电压^[6];2)在 N 阱中引入 P 埋层结构,通过 Triple-Resurf 耗尽 N 阱来提

收稿日期:2017-12-13;定稿日期:2018-01-19

基金项目:国家自然科学基金资助项目(61531016);四川省科技支撑计划重点资助项目(2016GZ0059,2017GZ0110)

作者简介:冯金荣(1994—),男(汉族),甘肃武威人,硕士研究生,研究方向为功率器件设计。

高源-漏击穿电压^[3]。

本文利用 Resurf(降低表面电场)技术^[7],设计了一种基于 BiCMOS 工艺制作的 NJFET。在 MOS 管栅极与漏极之间的 N 阱层引入 P-BOT 层,利用 P-BOT 层的辅助耗尽效应来避免 NJTFE 过早横向击穿。结果表明,本文 NJFET 的源-漏击穿电压从 66 V 提高到了 104 V,比传统 NJFET 提高了 57.6%。

1 NJFET 的结构与工艺设计

传统 NJFET 的制作结合了 BiCMOS 工艺。主要工艺步骤有:衬底→P 注入→外延→P 阱注入/退火→N 阱注入/退火→场区氧化→P-Body 注入/退火→N+/P+注入→ILD→接触孔→金属。本文带 P-BOT 层 NJFET 的制作工艺在传统 NJFET 工艺基础上进行了改进。在外延生长工艺与 P 注入工艺之间,对 N-Well 层选择性注入硼,形成 P-BOT 层。其余的工艺步骤均与传统 NJFET 相同。器件的工艺参数和结构参数如表 1 所示。表中,参数 a 表示栅极到 P-BOT 层的横向距离,参数 b 表示 P-BOT 层的窗口宽度,参数 c 表示 P-BOT 层到漏极的横向距离。

表 1 器件的工艺参数和结构参数

参数	传统 NJFET	本文 NJFET
$(a/b/c)/\mu\text{m}$	-	3/3/3
P 注入区浓度/ cm^{-3}	2E15	2E15
衬底电阻率/ $(\Omega\cdot\text{cm}^{-1})$	20	20
P-Well 浓度/ cm^{-3}	7E15	7E15
N-Well 浓度/ cm^{-3}	1E16	1E16
N-Well 结深/ μm	2.7	2.7
P-Body 浓度/ cm^{-3}	1E17	1E17
P-Body 结深/ μm	1.3	1.3

传统 NJFET 的结构图及碰撞电离率分布图分别如图 1(a)、图 1(b)所示。

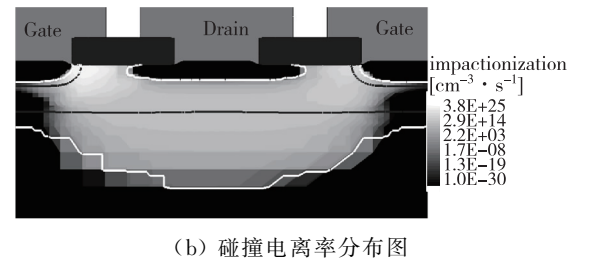
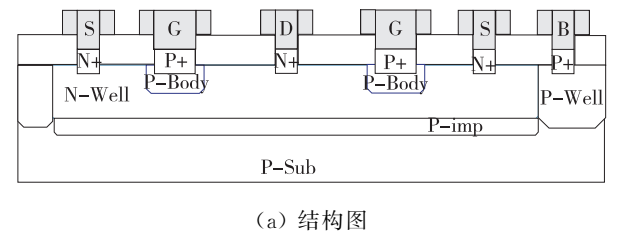


图 1 传统 NJFET 的结构图及碰撞电离率分布图

可以看出,N-Well 浓度高达 $1\text{E}16\text{ cm}^{-3}$,导致器件横向击穿。击穿部位发生在 P-Body/N-Well 结,击穿点位于栅极边缘。因为横向击穿过早,源-漏击穿电压只有 66 V。

本文带 P-BOT 层 NJFET 的结构图及碰撞电离率分布图如图 2(a)、图 2(b)所示。本文在栅极与漏极之间的 N-Well 引入了 P-BOT 层,因为在阱区退火工艺之后,P-BOT 层的浓度大于 P 注入区,这加速耗尽了 P-Body 与 N-Well 结附近的 N-Well 区域,避免了器件过早横向击穿,从而提高了源-漏击穿电压。可以看出,P-BOT 层将击穿点由原来的 P-Body/N-Well 结转移到 P-Body/N-Well 结与 P-BOT/N-Well 形成的 PN 结。这在一定程度上避免了器件过早的横向击穿,提高了器件的源-漏击穿电压。

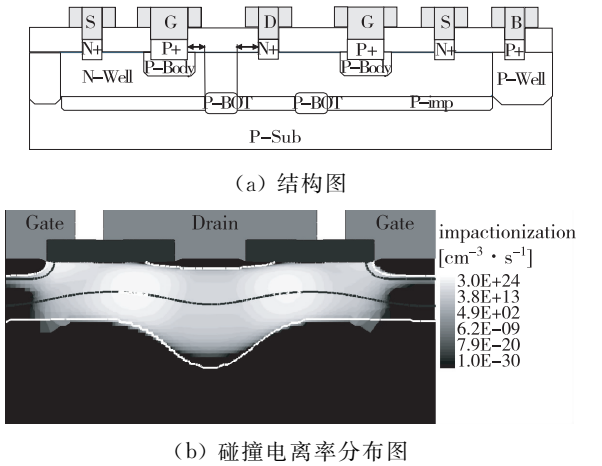


图 2 本文 NJFET 的结构图及碰撞电离率分布图

2 工艺参数对源-漏击穿电压的影响

根据 Resurf 技术的设计思想:在横向 PN 结击穿时,纵向耗尽要到达外延层的表面。在 Resurf 结构中,外延的最优化剂量表示为^[7]:

$$N_{\text{epi}} \times t_{\text{epi}} = \frac{\epsilon E_c}{q} \times \sqrt{\frac{N_{\text{epi}}}{N_{\text{epi}} + N_{\text{sub}}}}$$

(1)

从式(1)可知,P-BOT 层的位置、开窗大小和注入剂量会影响到局部区域的衬底浓度和外延层厚

度,进而影响到源-漏击穿电压,具体分析讨论如下。

2.1 参数 a 、 b 、 c 对源-漏击穿电压的影响

器件结构参数中,参数 a 显著影响 P-BOT 层对 N-Well 的辅助耗尽效应。若 a 较小,P-BOT 层横向扩散到 P-Body 下的 P 注入区,不仅会使有效辅助耗尽的 N-Well 区减小,减弱了辅助耗尽效果,还会改变 P 注入域的浓度,影响 NJFET 的夹断电压。若 a 较大,则 P-BOT 层对 N-Well 的辅助耗尽影响有限。因此,随着 a 增大,击穿电压会先增大后减小。

较大的 b 可辅助耗尽 P-BOT 层上的 N-Well 区,但横向增加的 P-BOT 区对 PN 结的电场影响较小,因此源-漏击穿电压不会随着 b 的增大而变化,但会增加器件的总长度。若 b 较小,不仅会增加工艺难度,而且难以实现 N-Well 区的辅助耗尽。因此,随着 b 增大,源-漏击穿电压会增大。当源-漏击穿电压增大到最大值时,击穿电压不再随 b 变化,此时源-漏击穿电压会随着 P-BOT 层浓度和 c 的变化而变化。

P 注入区浓度为 $1.5\text{E}15\text{ cm}^{-3}$ (远低于 N-Well 浓度)时,纵向源-漏击穿电压由 P 注入区承担,需要合理控制参数 c ,防止 P-BOT 层横向扩散到漏极下方。若 c 较小,P-BOT 层的横向扩散会使漏极两边的 P-BOT 层连接在一起,漏极下方 P 注入区附近的浓度会增大,纵向方向 P 注入区承担的源-漏击穿电压减小。若 c 较大,大电场区域从 P-Body/N-Well 结区域转移到 P-BOT/N-well 结靠近漏极的区域,击穿点由表面转移到体内。随着 c 增大,P-BOT 层的辅助耗尽效果下降;随着 c 减小,P-BOT 层的横向扩散会影响 N-Well/P 注入区结处的 P 型区浓度,使得纵向源-漏击穿电压下降。因此,随着 c 增大,击穿电压先增大到最大值后,再减小。

a 、 b 、 c 对源-漏击穿电压的影响曲线如图 3 所示。

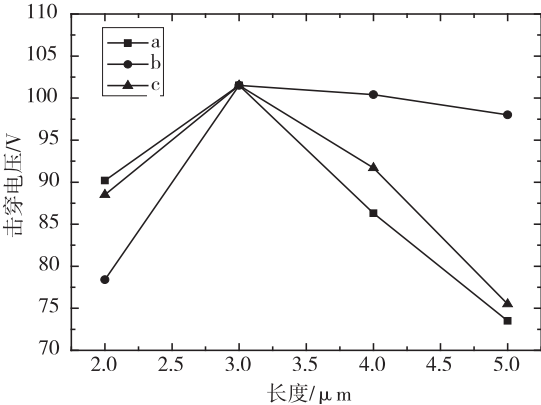


图 3 a 、 b 、 c 对源-漏击穿电压的影响曲线

可以看出,仿真结果与本文分析一致。源-漏击穿电压随着 a 、 c 的增大而增大;增大到最大值后, a 、 c 继续增大,源-漏击穿电压会随之减小。源-漏击穿电压随着 b 的增大而增大;增大到最大值后, b 继续增大,源-漏击穿电压不再变化。

2.2 P-BOT 层注入剂量对源-漏击穿电压的影响

为了便于分析,参数 a 、 b 、 c 取相同的值。当 $a=b=c=3\text{ }\mu\text{m}$ 时,记为 S-3 结构;当 $a=b=c=5\text{ }\mu\text{m}$ 时,记为 S-5 结构。不同结构下 P-BOT 层注入剂量对源-漏击穿电压的影响曲线如图 4 所示。

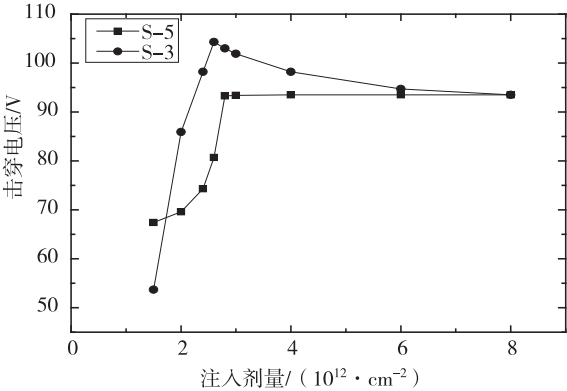


图 4 不同结构下 P-BOT 层注入剂量对源-漏击穿电压的影响曲线

在 S-3 结构中,P-BOT 层注入剂量增加,源-漏击穿电压随之增大;达到最大值后,源-漏击穿电压随注入剂量增加而减小。在 S-5 结构中,P-BOT 层注入剂量增加,源-漏击穿电压随之增大;达到最大值后,继续增加注入剂量,源-漏击穿电压不再变化。

当 a 过大,并超过 P-BOT 层的横向扩散距离 (不是 b ,根据 P-BOT 层的剂量以及扩散温度、扩散时间决定)时,P-BOT 层对 N-Well 的辅助耗尽效果减弱,导致 P-Body/N-Well 结过早击穿。在 S-3 结构中, a 较小,低注入剂量的 P-BOT 层能有效影响 P-Body/N-Well 结的表面电场,从而显著影响源-漏击穿电压。因此,S-3 结构的源-漏击穿电压能达到 104 V,高于 S-5 结构的 93 V。

当 S-5 结构的注入剂量低于 $3.0\text{E}12\text{ cm}^{-2}$ 和 S-3 结构的注入剂量低于 $2.6\text{E}12\text{ cm}^{-2}$ 时,增大注入剂量会明显提高 P-BOT 层对 N-Well 的辅助耗尽效果,从而降低 P-Body/N-Well 结的表面电场,源-漏击穿电压随之增大。当 S-3 结构的注入剂量从 $1.5\text{E}12\text{ cm}^{-2}$ 增加到 $2.6\text{E}12\text{ cm}^{-2}$ 时,源-漏击穿电压从 53.7 V 提高到 104 V;当注入剂量为 $2.6\text{E}12\text{ cm}^{-2}$ 时,最大源-漏击穿电压达到最大值,为 104 V。同样条件下,对于 S-5 结构,源-漏击穿电压仅从

67.4 V 提高到了 78.1 V,却没有达到 S-5 结构下的最大源漏击穿电压 93.4 V。

当 P-BOT 层注入剂量超过最佳注入剂量时,对于两种结构,改变注入剂量会有不一致的源-漏击穿电压变化。当 P-BOT 层注入剂量较大时,P-BOT 层的横向扩散使得 P 注入区的表面浓度变高,直接导致源-漏击穿电压下降。在 S-3 结构中, c 为 $3\text{ }\mu\text{m}$,这与 P-BOT 层的横向扩散长度相当,P 注入区的表面浓度会增大,导致纵向源-漏击穿电压降低。在 S-5 结构中, c 为 $5\text{ }\mu\text{m}$,这大于 P-BOT 层的横向扩散长度,P-BOT 层的横向扩散不会影响到漏极下方 P 注入区的浓度,源-漏击穿电压不再受 P-BOT 层注入剂量的影响。

本文 NJFET 与传统 NJFET 的参数对比如表 2 所示。

表 2 本文 NJFET 与传统 NJTEF 的参数对比		
参数	传统 NJFET	本文 NJFET
夹断电压/V	2.8	4.5
击穿电压/V	66	104

可以看出,与传统 NJFET 相比,在相同 P 注入区注入剂量和注入能量下,本文结构的源-漏击穿电压提高了 57.6%。虽然 P-BOT 层的引入增大了器件的夹断电压,但可通过改变 P 注入区的注入剂量来调节夹断电压。

3 结 论

本文利用 Resurf 技术,在传统 NJFET 结构上引入 P-BOT 层,通过 N 阱的辅助耗尽效应,避免了器件过早横向击穿,提高了 NJFET 的源-漏击穿电

压。栅极到 P-BOT 层的横向距离、P-BOT 层的窗口宽度、P-BOT 层到漏极之间的横向距离,即参数 a 、 b 、 c ,会影响 P-BOT 层的辅助耗尽效果。通过合理设置这三个参数和 P-BOT 层注入剂量,即可获得较高的源-漏击穿电压。

参 考 文 献:

[1] 唐昭焕,刘勇,王志宽,等. 一种实用的高压 BiCMOS 关键工艺技术研究 [J]. 微电子学, 2010, 40(5): 758-761.

[2] MAO K,QIAO M, JIANG L, et al. A 0.35 μm 700 V BCD technology with self-isolated and non-isolated ultra-low specific on-resistance DB-nLDMOS [C] // IEEE Int Symp Power Semicond Dev & ICs. Kanazawa, Japan. 2013: 397-400.

[3] MAO K, QIAO M, LI Z, et al. Low-cost low-power HV startup circuit with 50 V pJFET and 700 V T-nJFET [J]. Elec Lett, 2013, 49(21): 1318.

[4] LIAW C W, YE H L, LIN M J, et al. Pinch-off voltage-adjustable high-voltage junction field-effect transistor [J]. IEEE Elec Dev Lett, 2007, 28(8): 737-739.

[5] NIDHI K, KER M D. A CMOS-process-compatible low-voltage junction-FET with adjustable pinch-off voltage [J]. IEEE Trans Elec Dev, 2017, 64(7): 2812-2819.

[6] 宁开明,金锋,徐向明,等. 低成本高可靠性 0.5 μm 700 V 超高压 BCD 工艺 [J]. 电力电子技术, 2013, 47(12): 21-23.

[7] LUDIKHUIZE A W. A review of RESURF technology [C] // IEEE Int Symp Power Semicond Dev & ICs. Toulouse, France. 2002: 11-18.