The Control System of LED Smart Glass Video Playback*

*XIONG Mudi**, *LIU Leichuan*, *SUN Yuhang*, *GUO Yujun*
(*Institute of Optoelectronic and Information & Information Science and Technology College*, *Dalian Maritime University*, *Dalian Liaoning* 116026, *China*)

Abstract: A play control system is presented based on LED smart glass display. The purpose is to solve the problem of adaptation between LED intelligent glass display and play control system in different applications. For this reason, a dual core control system with FPGA and ARM is designed. The system can complete the configuration of play control system by inputting address table configuration information through serial communication of upper computer, without modifying the ARM and FPGA programs, which has very strong adaptability and portability. It solves the display problems of large LED intelligent glass screen and special LED intelligent glass screen. At present, the system has been commercialized.

Key words: LED smart glass; ARM; FPGA; display adaptation; optical fiber communication; system cascade
EEACC: **4260P; 7260** **doi: 10.3969/j.issn.1005-9490.2020.04.032**

一种基于 LED 智能玻璃的视频播放控制系统*

熊木地*, 刘磊传, 孙宇航, 郭俞君
(大连海事大学信息科学技术学院, 辽宁 大连 116026)

摘　要: 提出了一种基于 LED 智能玻璃显示器的播放控制系统, 目的是解决不同应用情况下 LED 智能玻璃显示屏与播放控制系统的适配问题, 为此设计了一种 FPGA 加 ARM 的双核控制系统, 该系统通过上位机以串口通信的方式, 输入地址表配置信息完成对播放控制系统的配置, 而无需修改 ARM 与 FPGA 的程序, 具有十分强大的适应性与可移植性, 解决了大型 LED 智能玻璃屏, 异形 LED 智能玻璃屏的显示问题, 目前该系统已经商业化。

关键词: LED 智能玻璃; ARM; FPGA; 显示适配; 光纤通信; 系统级联
中图分类号: **TN873** **文献标识码**: **A** **文章编号**: **1005-9490(2020)04-0878-04**

随着图像显示技术的高速发展, 显示器的种类和用途也变的多种多样, 其中 LED 显示屏凭借其色域广, 耐冲击、功耗低、寿命长(10^5 h)等优势占据了显示屏市场的绝大部分[1]。LED 智能玻璃显示屏在具有良好的透明性的基础上, 具有较高的强度[2], 被广泛应用于室外大型展示项目, 极大丰富了我们的日常生活。由于 LED 智能玻璃的制造工艺、规格, 内部的 LED 布局布线方式的不同, LED 智能玻璃的显示需要有与之相匹配的控制系统。目前已有的显示控制系统只能针对单一的显示屏进行显示控制, 故为解决不同应用情况下 LED 智能玻璃显示屏显示控制问题, 提出一种具有高适应性、高移植性的 FPGA 加 ARM 的双核 LED 智能玻璃显示器的播放控制系统。

1 系统构成

本系统由主控制单元(Main Control Unit 以下简称 MCU)和从控制单元(Slave Control Unit, SCU)两部分组成。如图 1 所示。

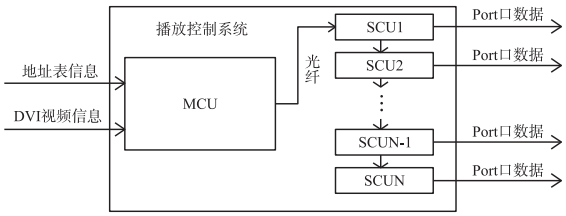

图 1　系统构成

图 1 中, MCU 主要进行数据的处理工作, 处理后的数据通过光纤发送至 SCU, SCU 接收上一级数

项目来源: 中央高校基本科研业务费专项基金(01770327); 中国海事局科技专项基金(0716-13400003N008)
收稿日期: 2019-10-18　**修改日期**: 2019-11-09

据并转发下一级[3-4],完成数据选取并进行数据位补齐,并串转化后发送至驱动系统。SCU 与 SCU 之间通过光纤进行级联,每个 SCU 所能驱动的 LED 数量由 LED 驱动芯片的移位时钟决定(如 5M,60 帧,36bit 数据格式下为 5M/60/36=2300),因此在进行大面积智能玻璃显示时,需要多个 SCU 进行级联。

MCU 由 ARM 与 FPGA 双核心构成,其中 ARM 作为主控制器,主要对 FPGA 进行配置,负责发送地址码表,所谓的地址码表即是一串连续的数据流,FPGA 根据这个地址码表,读取存在 SSRAM_B 中的视频像素信息,FPGA 主要进行高速数据处理,并根据 ARM 的配置情况将处理后的视频数据发送至 SCU,其具体工作流程如下:

ARM:以串口通信的方式接收上位机发送的地址码表信息;再以 SPI 通信的方式将地址码表信息存储至外挂 FLASH 芯片;每次系统上电或者串口接收到新的地址码表信息并存入 FLASH 完成时,读出外挂 FLASH 芯片中的地址码表信息发送至 FPGA,在将地址码表信息发送至 FPGA 过程中,虚拟了写 port 口使能,写全局使能,以及随路 CLK 时钟信号。全局使能信号在地址码表信息发送开始时被置位,地址码表信息发送结束后被拉低,表示 ARM 对 FPGA 的数据发送完成。

FPGA:由于 FPGA 具有处理速度快,数据量大的优点,因此在视频数据实时处理部分选用 FPGA 芯片。FPGA 主要接入两部分数据,其一为 ARM 发送的的地址码表信息,另一为解码芯片解出的 RGB 视频信息。对于第 1 部分数据,FPGA 设置异步 FIFO 对其进行接收,并将经过 FIFO 缓存的数据以地址自增的方式存入 SSRAM_A[7]。当所有地址码表信息存入完毕后,关闭 SSRAM_A 的写使能,不再进行写操作。第 2 部分数据是经解码芯片解码后解出的 RGB 数据以及随路时钟信号和控制信号(场同步信号,行同步信号,数据有效信号,数据暂停信号等)。FPGA 接入这些信号并将 RGB 数据按照地址自增的方式转存外挂 SSRAM_B,之后依次读取 SSRAM_A 中的地址信息并依照该地址信息读出 SSRAM_B 中的 RGB 数据信息。最后使用 Aurora_8b10b 单工发送 IP 核,经光纤通道将数据发送至 SCU。

SCU 的核心芯片为 FPGA,通过 Aurora_8b10b 单工接收 IP 核接收来自上一级的 RGB 数据信息,通过双口 RAM 去除由 Aurora_8b10b 发送端产生的无效数据以完成数据流恢复,然后再通过 Aurora_8b10b 单工发送 IP 核将数据发送至下一级。因此实现了 SCU 通过网口输出的 RGB 数据可调,使驱动芯片锁存的信息与其应该显示的信息相匹配,正确的进行视频显示。

2　详细设计

由图 2 所示,MCU 部分主要由 ARM 部分设计和 FPGA 部分设计组成,以下分别阐述这两部分设计。

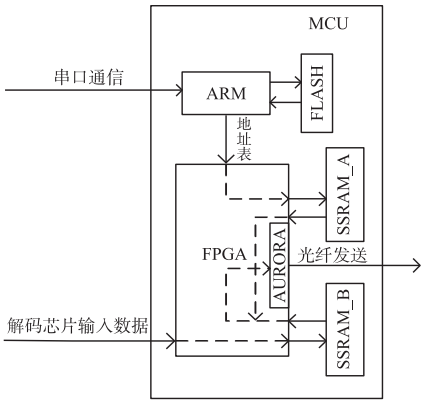

图 2　MCU 结构示意图

ARM 部分设计主要由串口通信模块、SPI 通信模块、数据发送模块 3 个模块组成:

串口通信模块:定义了容量与单个数据包大小一致的接收缓存器,通过上位机发送地址码表,首先发送一个字节的 port 口编号,然后发送该 port 口的地址数据,每个 port 口的数据认为是一个数据包,由于数据写入 FLASH 需要一定的时间,因此数据包之间需要加一定的延时,在这段延时时间内将数据存入 FLASH。在此定义了每个数据包的结束符标识(以下记为 F1)以及所有数据发送完成的标识符(以下记为 F2)。

SPI 通信模块:由于 FLASH 具有掉电数据不丢失的性质,因此选择该类存储芯片存储地址表信息,存储完成后,使得系统可以脱离上位机[5]。由图 3 所示当串口接收到结束符 F1 后,通过 SPI 协议将接收缓存器中的数据一次写入外挂 FLASH 中的相应存储地址区域(即为每个 port 口的数据单独开辟存储区域,如 port0 对应地址区域为 0 到 M-1,port1 为 M 到 2M-1……),结束符不会写入,然后等待串口重新接受下一个 port 口的数据,接收完成后再次写入对应 port 口的 FLASH 存储地址区域内,当接收到

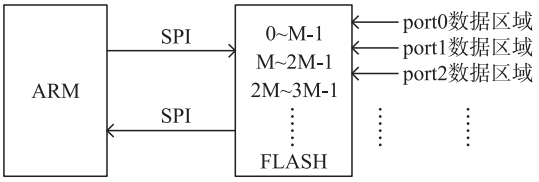

图 3　存取 FLASH 示意图

F2 之后执行最后一次写入,直到所有数据写入结束,这样做的目的是可以单独更新某一个 port 口的对应地址数据而不影响其他 port 口的数据。

数据发送模块:该模块完成将数据发送至 FPGA 的功能,采用数据总线并行发送的模式[6],并且定义了全局发送使能,port 口写使能,以及虚拟随路时钟 CLK 信号。当所有数据写入 FLASH 完成之后进行发送,数据发送时全局写使能先拉高,然后端口使能拉高,每一个写时钟 CLK 上升沿对应一个数据,每发送完一个 port 数据 port 口使能拉低一次,所有数据发送完后全局写使能拉低。

FPGA 主要由接收 ARM 配置信息模块、接收视频信号模块、完成地址映射模块、以及光纤发送模块 4 个功能模块组成。

接收 ARM 配置信息模块:FPGA 上电后先接收 ARM 的配置信息,使用异步 FIFO 接入地址表数据,然后将地址表数据以地址自加的方式存入到 SSRAM_A 中[7],当所有数据写入 SSRAM_A 后,在场同步信号的控制下以地址自增的方式读取 SSRAM_A 中的地址表数据,并以这个地址表数据,作为 SSRAM_B 的读地址,读取 SSRAM_B 中的 RGB 视频信息。

视频数据接收模块:FPGA 完成上电配置后便开始将视频数据接入并且以地址自增的方式在场同步信号以及数据有效信号的控制下,存入存储芯片 SSRAM_B 中,如 60 帧视频即为每秒写入 60 次视频数据[8]。

地址映射模块:FPAG 根据预先存好在 SSRAM_A 中的地址码表,依次读取存在 SSRAM_B 中的视频数据,然后输入到光纤发送模块的发送 FIFO 中。

光纤发送模块:配置 Aurora_8b10b 单工发送 IP 核模块,将数据发送 FIFO 中的输出数据与 Aurora 用户数据接口连接,以 FIFO 的读数据使能的上升沿以及下降沿作为 Aurora 的帧产生以及帧结束信号,将用户数据封装为 Aurora 帧格式,经光纤通道发送至 SCU。

SCU 部分:如图 4 所示,SCU 可分为光纤接收模块、数据恢复模块、光纤发送模块以及数据选取与发送模块 4 个模块。光纤接收模块:配置 Aurora_8b10b 单工接收 IP 核接收来自上一级的数据信息。数据恢复模块:配置双口 RAM 去除无效数据以完成数据流恢复。光纤发送模块:配置 Aurora_8b10b 单工发送 IP 核将数据发送至下一级。数据选取与发送模块:通过双口 RAM 从数据流中选取属于该级 SCU 的视频数据,并设置一个用来表示存入次数的状态标记寄存器[N-1:0]buff,SCU 板载了 N 位的拨码开关,该拨码开关的功能是确认该 SCU 位于级联序列中的位置,SCU 将恢复后的数据流存入双端口 RAM 中,每次存入整数倍(取决于 SCU 设计了几个 port 口)port 口的数据,然后状态标志寄存器加 1,并与 8 位拨码开关预设的数值进行比较,如果两者数值不等,则从双口 RAM 的地址 0 开始重新写入同样多的数据,将原来的数据覆盖,如果两者数值相等就锁存这次的数据,视为有效数据,然后读取该部分数据,并进行反伽马校正,进行并转串后发送至驱动电路部分,进行视频显示。以此完成针对不同规格的玻璃的适配。

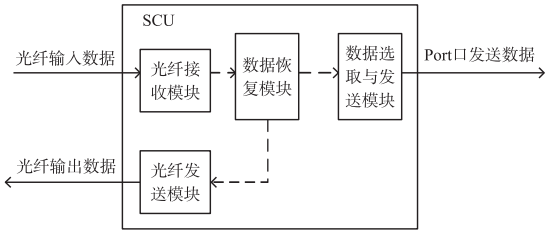

图 4 SCU 结构示意图

3 数据补齐

由于一般 LED 驱动芯片内部晶振频率存在上限,以 5M 为例,在 60 帧的刷新频率下,输出 36 位的 RGB 数据,则每路串行数据最大可点亮约 2 300(5M/60/36=2 314)个点,在留有一定余量的情况下,可视为最大可点亮 2048 个点。即每路 port 口最多可点亮 2048 个 LED,因此需要考虑每路数据的划分。如图 5 所示,由于在实际应用中,各路网口的数据不一定被全部使用,尤其是在异形屏幕的应用条件下。由于 FPGA 在读取视频信息的时候,并未对其进行区分处理,因此 FPGA 会将所存储的所有视频信息按地址码表信息依次读取,这就需要在生成地址码表时对每路输出数据进行划分,如果某一路数据未使用全部的 2 048 个数据,则进行补齐,补齐的数据为无效数据,即该部分数据不会进行显示。

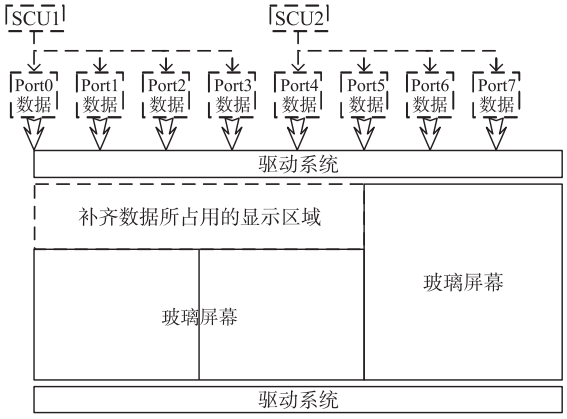

图 5 数据补齐后显示效果示意图

4　实际效果展示

MCU 实物如图 6 所示,通过光模块将数据发送至 SCU。

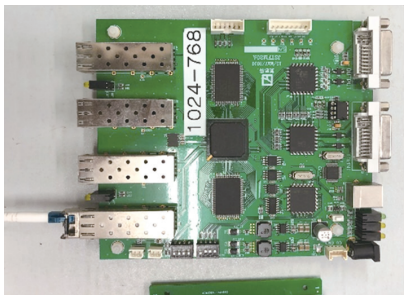

图 6　播放控制系统 MCU

SCU 实物图如图 7 所示,设计的每个 SCU 带有四路 port 口。

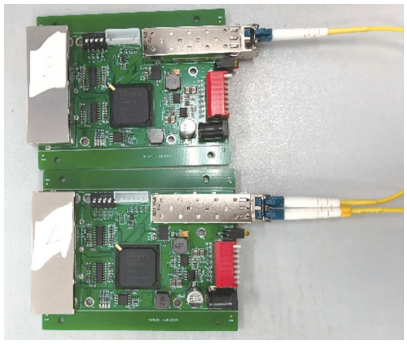

图 7　播放控制系统 SCU

实际映射调试如图 8 所示,通过改变地址码表数据使视频源像素点与 LED 智能玻璃显示屏一一对应。

图 8　映射调试

调试完成后最终显示效果如图 9 所示。

图 9　最终显示效果

图 10 是本系统于西安大悦城 500 m^2 异形屏项目中的实际应用。

图 10　异形玻璃显示屏

5　总结

本轮文提出了一种可以实现大屏幕异形 LED 智能玻璃显示屏的播放系统,该系统主要由 MCU 和 SCU 俩部分组成,使用该系统只需修改上位机发送的地址码表而无需对控制器进行任何的修改就能实现异形屏幕的适配显示,极大地提高了系统的通用性和可移植性,目前该系统已经达到商业化应用水平。

参考文献:

[1]　高敏. LED 显示屏发展综述[J]. 电子制作,2015(8):107.

[2]　洪震. LED 显示屏产业发展综述[J]. 信息技术与标准化,2010(10):22-25.

[3]　徐志强. 基于 FPGA 的光纤通信数据传输技术探究[J]. 数字通信世界,2019(7):73,137.

[4]　熊木地,范婷,刘盼,等. 基于 FPGA 的 SFP 级联视频传输系统设计[J]. 光通信技术,2019,43(7):25-30.

[5]　朱望纯,张硕,蒋汉林. 基于 ARM 与 FPGA 高速数据通信接口设计[J]. 桂林电子科技大学学报,2017,37(4):293-297.

[6]　高杨,管雪元. 基于 ARM 的大容量 NAND FLASH 应用[J]. 现代电子技术,2016,39(2):65-68.

[7]　杨晓玲,刘文龙. 基于 FPGA 的高清视频信号存储模块设计[J]. 中国医学物理学杂志,2018,35(6):695-700.

[8]　张汶汶. FPGA 高速大容量外挂数据缓存技术研究[D]. 西安:西安电子科技大学,2018.

熊木地(1970—),男,博士,教授,硕士生导师,主要从事光电检测方面的研究,418874329@qq.com。