

## Design of High Refresh Rate LED Display System Based on FPGA \*

GENG Di, WU Zhong, ZHANG Yuning \*

(School of Electronic Science and Engineering, Southeast University, Nanjing 210096, China)

**Abstract:** A high refresh rate LED display system based on FPGA is designed and developed. Use Xilinx's Spartan-6 chip as the control core. The FPGA chassis is designed, and the whole system is built. The system includes video data collection, processing, display and other parts. The real-time display of a refresh rate of up to 720 Hz is achieved in a LED display with a resolution of 384×256. For the high-speed storage and real-time processing of video data, ping-pong buffer technology is used to store the data in 4 buffer regions. The display system refresh rate of up to 720 Hz, showing good results.

**Key words:** display technology; ping-pong operation; FPGA; 720 Hz; LED display  
**EEACC:** 4260D      **doi:** 10.3969/j.issn.1005-9490.2019.02.045

## 基于 FPGA 的高刷新率 LED 显示系统设计 \*

耿 迪, 吴 忠, 张宇宁 \*

(东南大学电子科学与工程学院, 南京 210096)

**摘 要:** 设计开发了一种基于 FPGA 的高刷新率 LED 显示系统。使用 Xilinx 公司的 Spartan-6 芯片作为控制核心。设计了 FPGA 底板, 完成了整个系统的搭建。系统包括视频数据的采集, 缓存, 处理, 显示等部分。在分辨率为 384×256 的 LED 显示屏中实现实时显示, 其刷新率高达 720 Hz。对于视频数据的高速存储与实时处理采用乒乓缓存技术, 通过在 4 个缓存区域循环存储。显示系统运行稳定, 显示效果良好。

**关键词:** 显示技术; 乒乓操作; FPGA; 720 Hz; LED 显示屏

**中图分类号:** TN409

**文献标识码:** A

**文章编号:** 1005-9490(2019)02-0501-04

随着科技的快速发展, 越来越多的应用程序需要更高的刷新率和更低的延迟以便完成它们的工作, 例如手势识别, 自动驾驶等<sup>[1]</sup>。高刷新率不仅可以改善运动图像的质量<sup>[2]</sup>, 还有助于改善人们对于 3D 视频的体验<sup>[3]</sup>。尤其是随着近年来显示产业的发展, 市场上对于高刷新率的显示系统的需求日益增长。

LED 显示屏从上世纪 80 年代后期在全球迅速兴起<sup>[4]</sup>, 是利用 LED 点阵模块或像素单元组成的一种现代平面显示屏幕, 具有发光效率高、使用寿命长、视角范围大、色彩丰富以及对室内外环境适应能力强等优点<sup>[5]</sup>。设计的显示系统采用分辨率为 384×256 的全彩 LED 显示屏。

由于现场可编程门阵列(FPGA)具有高速并行的数据处理能力<sup>[6]</sup>, 适合作为大规模实时系统的控制核心<sup>[7]</sup>。FPGA 器件的可编程技术使可编程器件

在使用上更为方便<sup>[8]</sup>。因此使用 FPGA, 设计并开发了刷新率为 720 Hz 的 LED 显示系统。该系统实现了视频图像的采集, 存储, 数据处理, 显示等过程, 具有刷新率高、实时显示、长时间稳定运行等优点。

### 1 系统总体方案设计

本文所设计的显示系统包括视频信号的采集, 数据处理与缓存, 驱动信号生成等几个部分。以电脑显卡的数字视频接口输出的信号(DVI 信号)或其他可转换成数字模式的信号为信号源, 采用解码器, 把 DVI 输出的差分信号进行解码变换, 随后将解码后的信号送给 FPGA, 经过 FPGA 的数据缓存与处理重新生成驱动信号, 产生高达 720 Hz 的视频驱动信号, 实现 LED 显示屏的图像显示。

对于视频信号的处理过程如下: 首先 FPGA 采

集来自于 PC 端的视频信号,该信号分辨率为  $1\,920 \times 1\,080$ ,刷新率为  $60\text{ Hz}$ ;然后进行视频信号的预处理,截取有用的部分图像,分辨率为  $1\,536 \times 768$ ,把这部分数据通过 DDR 进行缓存,然后由 FPGA 的扫描驱动模块重新生成分辨率  $384 \times 256$ ,刷新率为  $720\text{ Hz}$ (提高了 12 倍)的新视频信号,该信号通过外部输出接口发送到全彩 LED 显示屏,实现实时显示。示意图如图 1 所示。

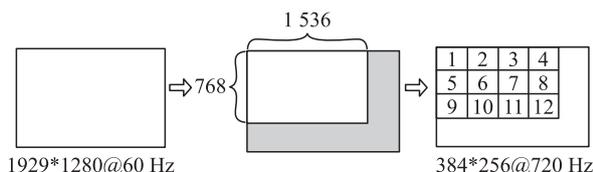


图 1 视频信号处理示意图

以 FPGA 的编程来实现乒乓操作<sup>[9]</sup>,提高响应能力,加强动态显示效果。当一帧视频信号到来时将其存到 SRAM 的一块区域中,同时从 SRAM 中的另一块区域读取上一帧已经处理过的数据,送给 LED 显示屏,故而能实现 DVI 信号的快速、实时的动态显示<sup>[10]</sup>。

本系统主要 3 个部分组成,包括 PC 上位机即普通微型计算机,FPGA 核心开发板,LED 显示屏。外部输入接口和外部输出接口实现计算机和 LED 显示屏与 FPGA 核心开发板之间的连接。充分利用 FPGA 的并行数据处理能力,全高清视频数据进行存储与处理,采用 4 块显示缓存与乒乓操作,重新生成高刷新率的视频信号。

## 2 系统硬件设计

图 2 是系统总体框架图。核心开发板中所采用的 FPGA 芯片是 Xilinx 公司的 Spartan-6 芯片。Spartan-6 FPGA 为 Xilinx 的低成本、低功耗 FPGA。第 6 代 Spartan 系列基于低功耗  $45\text{ nm}$ 、9 金属铜层、双栅极氧化层工艺技术,以及高级功耗管理技术。芯片型号是 XC6SLX45-2FGG484C,这款芯片具有高速,高带宽,大容量等特点,适合视频图像处理,高速数据采集等方面使用。

输入输出接口采用 DVI 纯数字接口,这样保证整个系统纯数字信号传输,保证了后续视频处理的准确性。DVI 解码芯片采用 TI 公司的 TFP401,该芯片

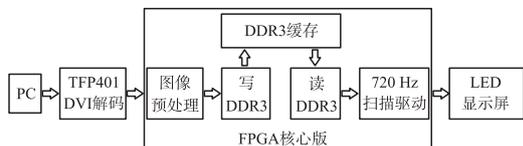


图 2 系统总体框架图

支持像素速率高达  $165\text{ MHz}$ (包括  $1080\text{p}$  和  $\text{WUXGA}@60\text{Hz}$ ),能满足本设计的要求。DVI 是基于 TMDs (Transition Minimized Differential Signaling),转换最小差分信号技术来传输数字信号,采用差分信号传输数据,它和 LVDS、TTL 相比有较好的电磁兼容性能<sup>[11]</sup>,可以用低成本的专用电缆实现长距离、高质量的数字信号传输。

本系统设计中 DDR3-SDRAM 采用 MT41J256M16 芯片作为图像的缓存介质,容量为  $4\text{ GB}$ ,FPGA 和 DDR3 之间的读写数据带宽高达  $10\text{ Gbit}$ ,DDR3-SDRAM 和 FPGA 的硬件连接示意图如图 3 所示。其中  $\text{A}0 \sim \text{A}14$  是地址总线,用来传输地址信号, $\text{BA}2 \sim \text{BA}0$  为 Bank 地址,DDR3-SDRAM 和 FPGA 之间的数据宽度为 16 位, $\text{DQ}0 \sim \text{DQ}15$  为数据总线,DDR3\_CLK\_P 和 DDR3\_CLK\_N 为 DDR3-SDRAM 的差分时钟输入,其频率为  $100\text{ MHz}$ ;FPGA 对 DDR3 的控制主要通过列地址选择信号(CASA)、行地址选择信号(RAS)、写使能信号(WE)实现。此外为了防止数据线终端反射,通过 FPGA 控制 ODT 使能片内电阻优化性能。Spartan-6FPGA 中只有 Bank1 和 Bank3 内包含 MCB 硬核,FPGA 和 DDR3 之间 16 bit 数据并行连接,DDR3-SDRAM 工作一次能够传输 16 bit 数据,FPGA 直接控制 Bank 地址和 15 bit 行地址控制数据在 DDR3-SDRAM 中的存储位置。

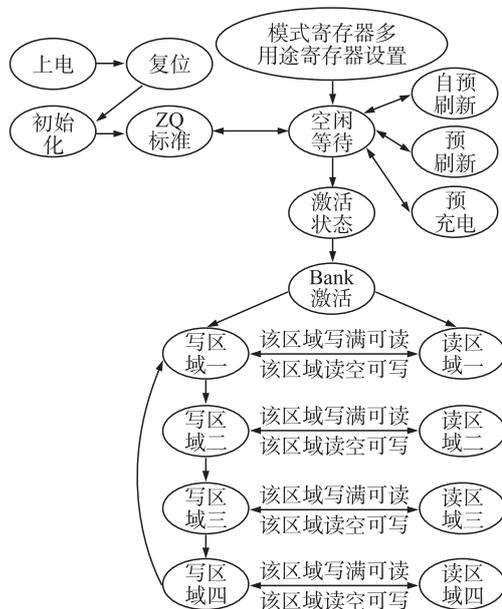


图 3 DDR3 读写模块流程图

## 3 FPGA 设计方案

FPGA 数字逻辑部分主要包括 3 个模块,分别是视频采集与预处理模块,DDR3 读写控制模块和图像扫描驱动模块。系统通过 DVI 接口接收 PC 端发出的  $60\text{ Hz}$  全高清视频信号,经过硬件解码的信

号发送到 FPGA 逻辑部分,经过预处理,然后把预处理过后的数据根据 DDR3 的写入时序写入 DDR3 中,最后生成刷新率为 720 Hz 的时序信号,并且将 DDR3 中的数据读出,送至 LED 显示屏。

### 3.1 视频采集与预处理模块

本模块主要功能是把 FPGA 采集到的视频数据进行预处理,使分辨率由 1 920×1 080 截取到 1 536×768,然后生成相应的时序信号,送到 FIFO 中,准备好写入 DDR3 中的数据。为节约管脚,采用 DE 信号低电平计数,当作场同步信号,通过检测 DE 信号的下降沿来进行计数,生成所需的场同步信号 VS。输入的数据信号是 16 bit,这里把 DVI 芯片配置成了奇偶信号同时传输模式,一个时钟同时传输两个数据,这样降低了整个模块所需要的时钟频率,提高了程序的稳定性。本模块主要生成了写 FIFO 的控制信号以及数据信号,把预处理过的分辨率为 1 536×768 的数据写到 FIFO 中。

### 3.2 DDR3 读写控制模块

DDR3-SDRAM 读写控制采用了 Xilinx 公司提供的 MIG IP 核,MIG IP 核是主要通过 Spartan6 FPGA 芯片中的 MCB 硬核与外部 SDRAM 芯片完成数据缓存<sup>[12]</sup>。利用 Xilinx 编译环境 ISE 生成 DDR3 控制器,按照 MIG IP 核的用户接口时序控制 DDR3 读写。

DDR3 读写控制模块采用乒乓操作进行数据缓存,显示缓存分为 4 块,存储地址分别为 0-2999990000,3000000000-5999990000,6000000000-8999990000,9000000000-11999990000,数据在这 4 个地址之间循环存储,其中 New\_WR\_Area 表示最近刚写入的缓存位置,目的是为了显示最新更新的图像,VideoIn\_WR\_Are 表示当前正在写入的缓存,VideoIn\_WR\_Offset\_Ptr 和 VideoOut\_WR\_Offset\_Ptr 表示视频偏移指针,每写入或读出一个数据,偏移指针将会自动移动指向下一个数据。

在执行乒乓操作时首先写入第 1 区域,第 1 区域写满后开始读第 1 区域,同时开始写第 2 区域,依次按顺序读写,这样 DDR3 控制器的读地址和写地

址不会重叠,组成乒乓结构,完成乒乓操作。这样可以极大提高缓存效率,读取的图像数据不会交叉,有效解决运动图像变化时的拖影现象。

在开始时程序会进行自检,把测试数据写入 DDR 中,然后再从 DDR 中读出这些数据,当 FIFO 被读空或者超时则跳出自检状态。当确认 DDR 的读写没有错误时,开始进入消息处理模块,从 message\_FIFO 中读取消息,该 FIFO 中的数据由写入时序和输出时序的场同步信号组成,当接收到写入时序的 VS 信号,表面一帧输入图像的开始,此时重新对 VideoIn\_WR\_Area 进行赋值,表示切换下一个写缓存区域,同时对地址偏移指针清零。当接收到输出时序的 VS 信号,表面一帧输出图像的开始,此时重新对 VideoOut\_RD\_Area 进行赋值,表示切换下一个读缓存区域,同时对地址偏移指针清零。然后进入重置 FIFO 的状态,生成重置信号,对 FIFO 进行清空。然后进入等待状态,当 VideoIn\_FIFO\_FULL=1 时,表明写 FIFO 已满,此时进入写 DDR 状态机,把 FIFO 中的数据一次性写入 DDR 中。当 VideoIn\_FIFO\_FULL=1 时,表明写 FIFO 已满,此时进入写 DDR 状态机,把 FIFO 中的数据一次性写入 DDR 中。VideoOut\_FIFO\_EMPTY=1 时,表明读 FIFO 被读空,此时进入读 DDR 状态机,把 DDR 中的数据写入 FIFO 中。

写 DDR 时,一次性写入 64 个 128 bit 数据,其中高 32 位未使用,也就是说一次写入 64 个 96 bit 的数据,而读出的数据一次性读出 48 个 96 bit 的数据。通过控制读取的地址,我们重新规划读出数据的顺序。使原本 1 536×768 的图像数据,生成 12 个分辨率为 384×256 的小图片依次输出,同时原本 60 Hz 的刷新率,变成了 720 Hz。

### 3.3 图像扫描驱动模块

本模块主要功能是生成 720 Hz 高刷新率的时序信号,同时生成读 FIFO 使能信号,用来读取 FIFO 中的数据。通过行计数器和列计数器,分别产生了分辨率为 384×256,刷新率为 720 Hz 的行同步和场同步信号。相关的信号仿真如图 4 所示。

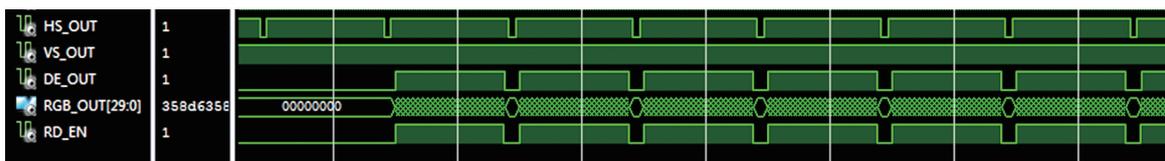


图4 720 Hz 扫描驱动模块仿真图

## 4 显示效果

为了验证本文设计的高刷新率显示系统的显示

效果,制作了如图 5 的测试图片。该图片的分辨率为 1 920×1 080,有图像的部分(除去黑边)分辨率为 1 536×768,一共有 12 幅相同的子图像,每个子图

像的分辨率为  $384 \times 256$ , 将该图像的数据用 PC 以 60 Hz 的刷新率发送至 FPGA 核心开发板, 数据经过 FPGA 的处理以后以 720 Hz 的刷新率显示在 LED 显示屏上。

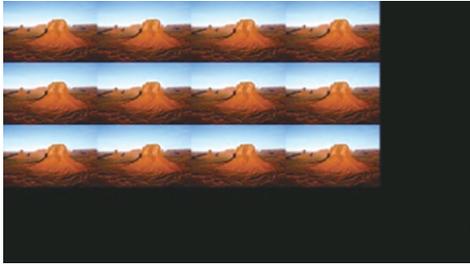


图 5 测试图片

图 6 是 LED 显示屏中显示的图像。我们看到测试图像完整清晰的显示在了 LED 显示屏上, 使用示波器测试场同步信号, 进一步验证了该显示屏的刷新率为 720 Hz。



图 6 LED 显示屏显示效果

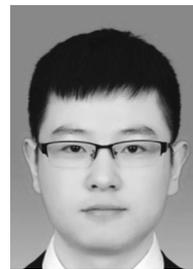
## 5 总结

设计了一个具有 720 Hz 高刷新率的 LED 显示系统, 以 Xilinx 公司的 Spartan-6 系列 FPGA 为核心, 设计并制作了 FPGA 开发板, 在 FPGA 芯片上完成了数字逻辑的设计, 对采集到的图像数据进行处理、缓存。成功实现了高达 720 Hz 的实时图像显示, 经长期观察测试, 该系统显示效果良好, 运行稳定。

### 参考文献:

- [1] Hu T, Wu H, Ikenaga T. FPGA Implementation of High Frame Rate and Ultra-Low Delay Tracking with Local-Search Based Block Matching[C]//International Conference on Machine Vision and Information Technology. IEEE, 2017:93-98.
- [2] Emoto M, Kusakabe Y, Sugawara M. High-Frame-Rate Motion Picture Quality and Its Independence of Viewing Distance[J]. Journal of Display Technology, 2014, 10(8):635-641.

- [3] Banitalebidehkordi A, Pourazad M T, Nasiopoulos P. Effect of High Frame Rates on 3D Video Quality of Experience[C]//IEEE International Conference on Consumer Electronics. IEEE, 2014:416-417.
- [4] 关积珍. 对 LED 显示屏发展的回顾与展望[J]. 现代显示, 2005(7):8-14.
- [5] 谈卫星, 胡建人. 基于 STM32 的全彩 LED 显示屏系统的设计[J]. 电子器件, 2011, 34(3):258-260.
- [6] 杨军. 基于 FPGA 的 SOPC 实践教程[M]. 北京:科学出版社, 2010:72-73.
- [7] 魏鑫. 基于 FPGA 的视频实时采集系统关键技术研究[D]. 银川:北方民族大学, 2017.
- [8] 任敏, 庞杰, 胡庆. CPLD 和 FPGA 器件性能特点与应用[J]. 传感技术学报, 2002, 15(2):165-168.
- [9] 郭天圣, 鲁敏. 基于“乒乓操作”思想实现高速 FFT 的仿真[J]. 河南科技, 2013(22):13-15.
- [10] 赵二刚, 孙鹏飞, 赵立晴, 等. 基于 FPGA 的 TFT 显示屏控制系统的设计与实现[J]. 光电子技术, 2009, 29(2):130-134.
- [11] 侯利民, 苏淑靖. 基于低压差分信号(LVDS)总线的数字信号源设计与实现[J]. 科学技术与工程, 2013, 13(32):9714-9718.
- [12] 张宇嘉, 杨晓非, 姚行中. 基于 AXI4 的卫星接收机 DDR3 多端口存储的设计[J]. 电子器件, 2016, 39(3):617-622.



耿迪(1993-), 男, 汉族, 江苏邳州人, 东南大学电子科学与工程学院信息显示与可视化国际合作联合实验室硕士研究生在读, 研究方向为显示科学与技术, 220161209@seu.edu.cn;



吴忠(1978-), 男, 汉族, 江苏南通人, 讲师, 东南大学电子科学与工程学院教师, 从事信息显示与照明驱动系统和电路技术的研究, wuzhong@seu.edu.cn;



张宇宁(1981-), 男, 汉族, 江苏如东人, 博士, 副教授, 硕士生导师。分别于 2003, 2005 和 2008 年在东南大学获得学士、硕士和博士学位。长期从事“显示”、“照明”相关的新技术、新器件及相关的人机交互和视觉感知的研究与开发工作, zyn@seu.edu.cn。