Design of Recorder Control System with Recyclable Storage*

*MENG Lingjun**, *WANG Zhiguo*, *ZHANG Min*, *ZHANG Haowei*
(*School of Instrument and Electronics*, *North University of China*, *Taiyuan* 030051, *China*)

Abstract: In order to adapt to the needs of multiple experiments, cycle storage, and data classification during the ground test of modern recorder systems, a recorder control system that is cyclically stored according to the number of power-on times is designed. The system uses STC15 microcontroller comparator as the voltage monitoring module and the FPGA as the main control, connecting the memory module FPGA through long-distance LVDS lines. The storage module stores data in real time and detects the output of the comparator. Before the system is completely powered off, the address information of the Flash is stored to achieve the purpose of multiple power-on storage. Through a large number of power-on and power-off experiments, it is known that the system can meet the requirements of storage by the number of times of power-on, which provides a new idea for the design of recorders.

Key words: control system; circular storage; FPGA; recorder; STC15
EEACC: 8380 **doi**: 10.3969/j.issn.1005-9490.2019.03.029

可循环存储的记录器控制系统设计*

孟令军*, 王志国, 张 敏, 张皓威
(中北大学仪器与电子学院, 太原 030051)

摘 要: 为适应现代记录仪系统地面测试时的多次实验、循环存储、数据分类需求, 设计了一种按上电次数循环存储的记录器控制系统。该系统采用 STC15 单片机的比较器作为电压监测模块, 使用 FPGA 作为主控, 通过长距离的 LVDS 线连接存储模块的 FPGA。存储模块实时存储数据并检测比较器的输出, 在系统完全断电前存储 Flash 的地址信息, 达到多次上电存储的目的。通过大量上电掉电实验得知, 该系统可以满足按上电次数存储的需求, 为记录器的设计提供了一种新的思路。

关键词: 控制系统; 循环存储; FPGA; 记录器; STC15
中图分类号: TN79+1 **文献标识码**: A **文章编号**: 1005-9490(2019)03-0689-04

随着科技的进步, 现代战争的胜负已经不是仅仅依靠军队人员多少、武器数量多少就可以决定测预定胜负了[1]。预测一场战争的胜负有一个关键性因素是, 高科技武器打击的精确度[2]。武器的研发过程中, 需要做大量的实验, 实验数据对于武器研发阶段的性能估计及各项参数的优化具有不可替代的作用, 因而弹载记录仪在武器研发领域得到广泛应用[3-4]。

传统的记录仪体积大、质量重, 不利于长途运输, 并且每次上电记录前都需要擦除 Flash 数据, 这会使得前期的系统联合调试效率低下, 研发周期也会相对延长[5-6]。效率高、体积小、质量轻的数据存储控制系统一直是行业的数据记录行业的迫切需求[7]。鉴于行业的需求, 本文设计了一种可循环存储的记录器控制系统, 该系统还具有可移植性强和可维护性好的特点, 可为其他记录器的设计提供一种参考方式。

1 总体方案设计

该系统设计完成了电源电压的采集、422 数据的接收、网络数据的接收, 并将这些数据进行编帧存储。系统每一次上电进行记录数据时可以继续上次的存储位置进行存储[8], 存储器存满时则以队列的操作模式进行数据擦除与存储, 即擦除最先存储的数据用来存储新数据。

该系统主要包括 3 大模块: 供电与掉电检测模块、多路数据接收与编帧模块和数据存储模块。系统框图如图 1 所示。

供电与掉电检测模块设计在 CPU 板上, 由 STC15 单片机完成电源电压检测信号的处理。多路数据接收和编帧模块在主控板上的 FPGA 内部完成, 由 FPGA 统一完成数据处理后发送到后端存储板, 存储板完成所有数据的存储与读取, 并存储每次

项目来源: 国家自然科学基金项目(51575500); 武器装备探索研究项目(7131017)
收稿日期: 2018-05-28 **修改日期**: 2018-07-14

掉电时的 Flash 当前存储地址。

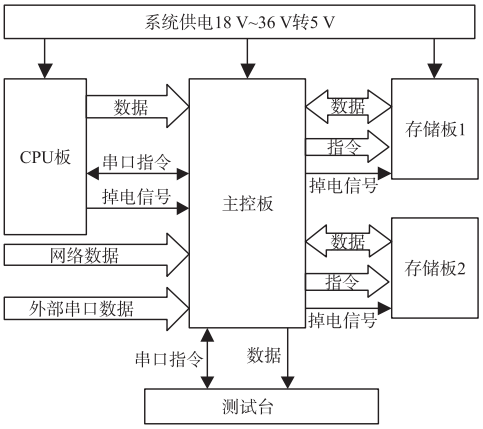


图 1 系统组成框图

2 系统主要硬件设计

2.1 供电及监测模块设计

记录仪系统的电源采用两种方式供电:实际应用供电和地面测试供电[9]。实际应用时供电电压的范围是 18 V~36 V,无波动时电压稳定在 28.5 V 左右,此电压经过 EMI 和 DC/DC 模块转换到 5 V,再通过一个肖特基二极管(MBRA210L)为系统进行供电;地面测试供电直接采用 5 V 电源,经过一个肖特基二极管为系统供电。二极管的作用可以防止电流倒灌,这种设计可以使两种供电方式互不影响,即使两种方式同时供电,也不会损坏设备。

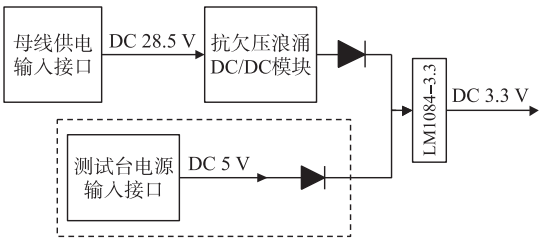


图 2 系统供电设计

记录仪的供电检测模块和供电模块设计在同一块电路板上。供电监测主要采用电阻分压的方式,将 0~5 V 供电分压至 0~1.36 V,后端使用跟随器将分压后的电压信号输入到 STC15 单片机的比较器输入端。系统通过监测供电模块电压的大小确定系统是否即将掉电。系统正常工作时,比较器输入端的电压保持在 1.35 V 左右,比较器输出端为低电平,当系统掉电时,比较器的输入端电压会低于比较器内部电压 1.27 V,此时输出端为高电平。供电监测模块的电路设计如图 3 所示。

系统 5 V 供电端设计了 6 个大电容,其目的是为了储能,防止系统瞬间掉电,导致系统的掉电监测模块失效。后端使用跟随器为了保证分压后电压的稳定,防止单片机的比较器产生误判。

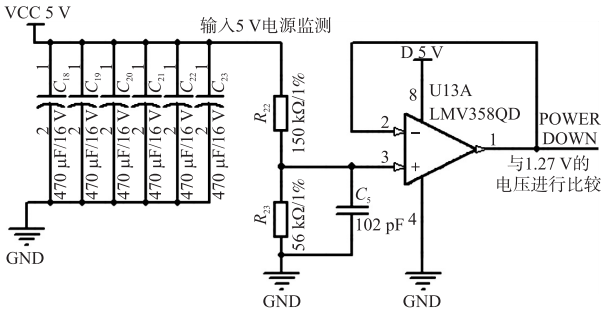


图 3 供电监测模块电路设计

2.2 存储控制模块设计

存储模块主要由两块镁光 8 Gbyte 的 Flash 芯片和一块 FPGA 芯片组成,其原理框图如图 4 所示。

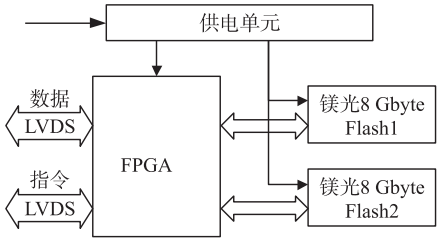


图 4 存储模块设计框图

存储控制模块采用独立结构设计,对外接口只有供电输入接口、数据传输接口和指令传输接口[10]。此控制模块的 FPGA 采用 ALTERA 的 Cyclone Ⅲ,Cyclone Ⅲ的 FPGA 自带 LVDS 信号对[11]。进行原理图设计时选择 FPGA 芯片上左边的和右边的 bank,即第 1、2、5、6 bank,这 4 个 bank 上的 LVDS 信号对为“true lvds buffer(真 LVDS 缓冲器)”,在芯片内部已经嵌入了“dedicated output buffer(专用输出缓冲器)”,因此在信号对的输出端不需要添加电阻匹配网络,可以节省板上的空间,使存储模块趋于小型化,节约成本,降低电路复杂度。

3 系统工作原理

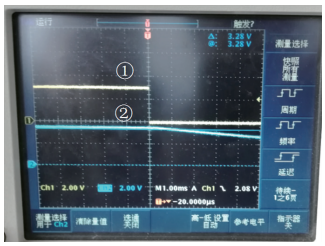
3.1 掉电监测

电源供电维持着一个电子系统的工作,但并不是关闭电源系统就会立即停止工作。在系统电源关闭后,一般系统都可以继续正常工作很短的时间,数个毫秒或者数个微秒,本系统的掉电检测正是利用系统掉电后短暂的延迟效应,监测系统电源,在系统即将掉电时给后端输出一个掉电信号。后端模块通过判断比较器输出端的电平为高时得知系统即将掉电,存储模块可以在系统掉电之前将当前地址信息等数据存储到固定地址,下次上电时即可重新读出。

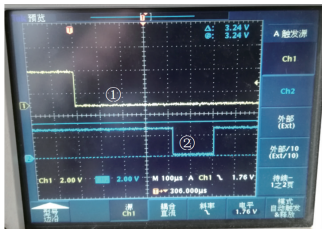
掉电信号实测值如图 5 所示。图 5(a)中①是系统外部供电直接切断电源后的示波器信号图,

②是系统内部 5 V 供电的电压下降曲线图,时间单位是 1 ms。图 5(b)中①是比较器输出的掉电信号,②中的 Flash 存储掉电信号所用的时间信号线(低电平时间段为存储所用的有效时间<200 μs),单位是 100 μs。由图 5(a)可知系统完全掉电最少需要 3 ms 的时间,图 5(b)可知,存储模块从检测掉电信号到完成掉电信息的存储需要的时间不大于 600 μs,因此,掉电监测模块可以满足系统工作要求。

掉电监测的工作流程如图 6 所示。



(a)



(b)

图 5　掉电信号检测

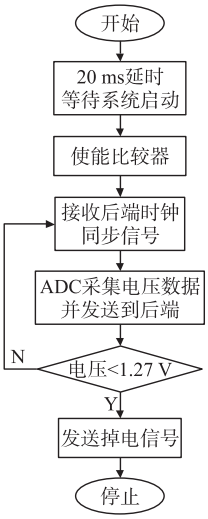


图 6　掉电信号检测工作流程

3.2　多路数据编帧

本控制系统的多路数据接收与编帧,包括 2 路 422 数据、1 路 CPU 数据和 6 路网络数据。2 路 422 数据由于波特率不同采用独立的串口接收模块;1 路 CPU 数据通过专用的 9 600 bit/s 串口接收模块;6 路网络数据通过 W5300 接收,并实时发送到主控 FPGA,这 6 路网络数据采用同一个网络地址的不同端口号进行区分。网络接收控制模块通过检测端口接收寄存器确定网络数据的接收,当控制模块检测到某一路网络数据到来后,读取该接收寄存器,并存入后端与之对应的 FIFO 中。在一帧数据接收完成后,将此路数据接收完成信号拉高,通知数据编帧模块进行数据编帧。

数据编帧模块以高速的查询方式检测 9 路数据的接收完成信号[12],当检测到某一路数据接收完成时,读取该路数据对应的 FIFO 进行数据编帧,并发送到后端。发送完成后继续进行查询、编帧、发送。

3.3　数据存取

数据存储单元主要包括数据接收、数据缓存、Flash 控制等模块。其功能框图如图 7 所示。

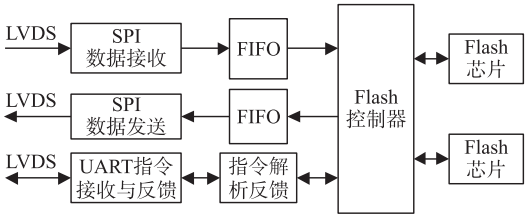


图 7　数据存储功能框图

数据存储过程中需要记录系统每次上电和掉电时 Flash 的地址信息。本系统采用 8 Gbyte 的镁光 Flash,每块 Flash 有 16 384 个 block,采用 Flash 的第 1 个 block 用来存储系统的上电和掉电信息,从第二块开始用来存储接收的数据信息,Flash 芯片的当前 block 存储完成后,系统擦除 Flash 的下一个 block 用来存储新的数据,即存储之前先擦除。

4　实验及结果

本控制系统上位机采用 VB 编程,人机交互友好,界面显示清晰。系统上电后发送读取记录器信息指令,控制系统将记录器的索引表信息发送到上位机,上位机进行解析,并将系统每次的记录信息进行显示,显示内容包括:记录开始地址、结束地址和记录的数据量。操作人员可以根据需求读取某一次记录的数据,并存储到磁盘上供后续对数据的分析处理。

通过实验得知,该系统可以很好地满足多次上电并按上电次数存储的需求。控制系统实验结果如图 8 所示。

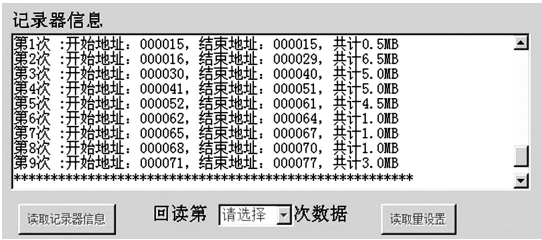


图 8　上位机操作界面

5 结束语

本控制系统采用STC15单片机与FPGA配合的方式进行顶层设计,FPGA作为主控模块,单片机作为辅助模块。系统采用单片机的比较器作为系统电源的监测模块,同时使用FPGA自带的LVDS信号对进行电路设计,降低了系统设计的复杂度、减少了系统编程的工作量,并且节省电路板空间、节约成本。该系统还具有体积小、质量轻、可移植性强和可维护性好的特点,为传统单次使用的记录仪设计提供一种新的思路。

参考文献:

[1] 李亚辉,张军,马奥家,等. 反舰武器系统精确打击体系及其关键技术[J]. 宇航总体技术,2018,2(1):27-32.

[2] 刘一名,李杰,王一焕,等. 旋转弹用轴向减旋平台控制系统设计[J]. 电子器件,2017,40(4):968-972.

[3] 陈凯,丁芃. 从"黑匣子"到"云匣子"[J]. 中国技术语,2014,3:58-60.

[4] 高歌梦月,刘荣林.飞参数据综合记录分析系统的设计与实现[J]. 指挥控制欲仿真,2018,40(1):118-122.

[5] 乔晋龙,李冠林. 一种飞参记录数据解析软件的设计与实现[J]. 电子设计工程,2016,24(13):125.

[6] 刘光辉,周军,于晓洲. 低成本无人飞行器机载数据记录仪的设计与实现[J]. 测控技术,2011,30(1):10-12.

[7] 张少华,李锦明,杜东海,等. 基于FPGA+ARM的高速U盘记录仪的设计[J]. 智能仪器与传感技术,2015,23(1):333-335.

[8] 马明建. 数据采集与处理技术[D]. 西安:西安交通大学出版社,2012.

[9] 赵徐成,马骏伟,王旭昆,等. 航空地面电源数据记录仪设计[J]. 计算机测量与控制,2015,24(5):1435-1437.

[10] 赵阳刚,郭涛,黄玉岗. 基于FPGA和LVDS的弹载数据回读系统设计[J]. 电子器件,2017,40(1):113-117.

[11] 陈莹,高双成. 基于FPGA的LVDS接口应用[J]. 电子·电路,2012,25(1):8-12.

[12] 孙文. 多通道数据采集系统的设计与研究[D]. 长沙:湖南大学,2013.

孟令军(1969-),男,汉族,山东青岛人,博士,中北大学仪器与电子学院副教授,硕士生导师,主要研究方向为动态测试技术与智能仪器、微系统集成、控制系统设计与数据存储,图像压缩处理,menglingjun@nuc.edu.cn;

王志国(1991-),男,汉族,安徽亳州人,中北大学硕士研究生,主要研究方向为测试技术与智能仪器、控制系统设计与数据存储,wwzzguo@163.com。