A Novel Fin-Shapped Gate LDMOS with High BV and Low $R_{\text{on.sp}}$

JIANG Zhilin, WANG Xufeng, YU Pingping, JIANG Yanfeng*

(Engineering Research Center of IoT Technology Applications (Ministry of Education), Department of Electronic Engineering, Jiangnan University, Wuxi Jiangsu 214122, China)

Abstract: An LDMOS power switching device (FG-LDMOS) with a novel fin-shaped gate structure is designed. The device etches a set of shallow trenches longitudinally at the conductive channel, and then fills with polysilicon as a field plate after thermal oxidation. The fin-shaped gate structure increases the effective width of the channel and enhances the field plate effect without changing size of the device. Through Silvaco TCAD simulation verification, the results show that FG-LDMOS has better electrical characteristics than conventional LDMOS. For example, the breakdown voltage is increased by 25% to 100 V, and the on-resistance $R_{on.sp}$ is reduced by 25% to 2.68 m Ω/cm^2 . The quality factor FOM is increased by 94.5% to 3.58 MW/cm². In addition, the FG-LDMOS has excellent high-frequency switching characteristics, the gate-drain capacitance C_{GD} is reduced to 0.46×10^{-16} F/µm, and the transconductance g_m is increased to 0.26 mS.

Key words: fin-shaped gate; breakdown voltage; specific on-resistance; Silvaco TCAD EEACC: 2570 doi:10.3969/j.issn.1005-9490.2022.01.002

一种具有高击穿电压和低导通电阻的 新型鳍状栅极 LDMOS*

蒋志林,王旭锋,于平平,姜岩峰* (江南大学电子工程系,物联网技术应用教育部工程研究中心,江苏无锡 214122)

摘 要:设计了一种具有新型鳍状栅极结构的 LDMOS 功率开关器件(FG-LDMOS),该器件在导电沟道处纵向刻蚀一组浅沟槽, 再经热氧化后填充作为场板的多晶硅。鳍状栅极结构在不改变器件尺寸情况下,增大了沟道的有效宽度,增强了场板效应。通 过 Silvaco TCAD 仿真验证,结果表明 FG-LDMOS 较传统 LDMOS 具有更好的电学特性,如击穿电压提高了 25%达到 100 V,比导 通电阻 R_{mm}降低了 25%至 2.68 mΩ/cm²,品质因数 FOM 提高了 94.5%到 3.58 MW/cm²。此外该 FG-LDMOS 拥有优异的高频开关 特性,其栅漏电容 CGD 降到了 0.46×10⁻¹⁶ F/µm,跨导 gm 升至 0.26 mS。

关键词:鳍状栅极:击穿电压:比导通电阻:Silvaco TCAD

中图分类号:TN305 文献标识码:A

近年来碳化硅(SiC)和 III-V 族型的氮化镓 (GaN)器件因其具备高电子迁移率,高特征频率,耐 高压和耐高温等优点被认为是高功率开关器件的最 优选择,但这两者在生产中材料的晶体缺陷率一直 很高,导致价格居高不下,难以大规模应用[1-3]。随 着 5G 技术的迅速发展,移动通讯系统中大量采用 射频电路,工作频率在几百 MHz 到几个 GHz 之间, 迫切需要价格合适的高频高耐压的功率开关器

文章编号:1005-9490(2022)01-0007-06

件[4-6],同时便携式设备快速充电器的驱动电路也 需要高频大电流耐高压的开关器件[7]。区别于 GaN和 SiC 功率器件需特殊制造工艺^[8-9],横向双 扩散 MOSFET(LDMOS)同 CMOS 工艺兼容^[10],其导 通电阻也很小,耐压也很高,且价格便宜性能稳定, 非常适合作为以上领域中所需的大功率开关器件。

LDMOS 型功率器件的主要电学特性包含比导 通电阻 $(R_{on,sp})$ 、源漏击穿电压 $(BV_{pp}(Si))$ 以及开关

项目来源:国家自然科学基金委员会项目(61774078,51802124);江苏省自然科学基金项目(BK 20180626) 收稿日期:2021-01-29 修改日期:2021-05-10

速度,可以由式(1)和式(2)计算得出^[11],其中 q 是 电子电荷, W_D 是导电沟道宽度,μ_n 是电子迁移率, N_D 是 N 漂移区电子浓度。

$$R_{\rm on.sp} = \frac{W_{\rm D}}{q\mu_{\rm n}N_{\rm D}} \tag{1}$$

$$BV_{\rm np}({\rm Si}) = 5.34 \times 10^{13} N_{\rm D}^{-3/4}$$
 (2)

由式(1)和(2)可知,通常增强型 MOSFET 导电 沟道的形成需要向栅电极施加电压,而沟道有效宽 度对器件的比导通电阻具有很大的影响^[12]。当有 效宽度一定时 *R*_{on.sp}和 *BV*_{pp}(Si)都随着 *N*_D 的降低而 反向增加。高击穿电压通常伴随着大比导通电阻, 而实际应用中常要求较高击穿电压和较小导通电阻 并存,如何缓解这种矛盾是 LDMOS 设计的难点。 以往的研究思路有:添加以半绝缘的多晶硅制成的 电阻场板,使漂移区电场分布更均匀,在降低漂移区 表面峰值电场的同时提高中部横向电场强度^[13-14]; 通过改变漂移区梯度掺杂浓度提高器件耐压并降低 导通电阻^[15],但会增加工艺复杂度;通过改变 N 漂 移区长度来增大击穿电压^[16],但会同时增大导通 电阻。

本文结合上述思路,在传统 LDMOS (Con-LDMOS)的基础上加入嵌入式场板得到鳍状栅极 LDMOS(FG-LDMOS),该器件横截面上沟道变得曲 折,能在不增大自身体积的情况下实现了沟道有效 宽度的增加,提高了击穿电压,降低了比导通 电阻^[17]。

1 器件结构与制备

Con-LDMOS 和新型 FG-LDMOS 的结构分别如 图 1(a)和图 1(b)所示,该 FG-LDMOS 中的鳍状栅 极是通过在沟道处刻蚀一组浅沟槽^[18-19],再经热氧 化后填充半绝缘的多晶硅而形成的,沿着 AB 线剖 开后包含沟道的 FG-LDMOS 横截面如图 1(c)所示, 可以清晰地看出除了在栅极正下方形成 N 沟道外, 在垂直插入栅结构的每一侧都增加了 2 个竖向的沟 道结构。

图 2(a) 和 2(b) 分别显示出了 Con-LDMOS 和 FG-LDMOS 在导通时 SiO₂ 层下电子的分布情况。 由于插入了鳍状栅极,极大地增加了 SiO₂ 下方与 P 衬底交界处形成的沟道的有效宽度,从而加宽了自 由电子的传输通道,提供更大的导通电流。此外以 多晶硅插入结构作为场板增强了器件的场板效应, 提高了其耐压值。鳍状栅极的 CMOS 工艺步骤如 图 3 所示,首先在 P 衬底上刻蚀出鳍状沟槽,对其 表面进行热氧化形成很薄的 SiO₂ 绝缘层,然后填充







图 2 器件导通时氧化层下方 N 沟道中电子分布

相应形状的多晶硅,最后一层铝作为金属电极。该 FG-LDMOS 外延层中漂移区的厚度为 1.5 µm,在生 成鳍状栅极的过程中,栅漏极间会伴生出 RESURF (Reduced Surface Field)结构,利用器件中电场分布 的二维效应降低其表面电场,让器件的雪崩击穿发 生在体内而不是表面,如此可进一步增大器件的击 穿电压。



2 仿真与分析

利用 Silvaco TCAD 对 FG-LDMOS 的输出特性、 传输特性、击穿电压、比导通电阻和开关特性进行仿 真^[20]。仿真参数如表 1 所示, FG-LDMOS 与 Con-LD-MOS 两者的沟道长度都为 1 μ m, 栅极氧化层厚度都 为 50 nm, 器件尺寸都为 10 μ m×3 μ m×10 μ m, 两者的 衬底、P 阱、N 漂移区和源/漏区掺杂浓度分别为 5×10¹⁴ cm⁻³、1×10¹⁷ cm⁻³、1×10¹⁶ cm⁻³、1×10²⁰ cm⁻³。 FG-LDMOS 向下的刻蚀深度为 1.5 μ m, 其等效沟道宽 度 W_{D-FG} = 1.5 μ m×6+3 μ m = 12 μ m。

关键参数	Con-LDMOS	FG-LDMOS
等效沟道宽度	3 µm	12 µm
沟道长度	1 μm	
器件长度	10 µm	
衬底掺杂浓度	$5 \times 10^{14} \text{ cm}^{-3}$	
P 阱掺杂浓度	$1 \times 10^{17} \text{ cm}^{-3}$	
N 漂移区掺杂浓度	$1 \times 10^{16} \text{ cm}^{-3}$	
源漏极掺杂浓度	$1 \times 10^{20} \text{ cm}^{-3}$	
氧化层厚度	50 nm	

根据文献[21-22]可知, FG-LDMOS 器件的 RESURF 结构会改变其栅漏极间的表面电场, 使靠 近栅漏两端的电场分布翘起来, 在 y 轴方向(与 AB 线平行)上取多组截面测量沿 x 轴方向(即从源极 到漏极)的电场强度分布情况后求出平均曲线,再 将其与 Con-LDMOS 的电场强度分布情况对比得 图 4。分析可得两种器件的开关电压大部分由位于 4 μ m 到 5 μ m 处的 N 沟道承担,两者的电场强度峰 值都出现在源极到漏极方向的 N 沟道起始处(即 4 μ m 处),其中 FG-LDMOS 的电场强度峰值比 Con-LDMOS 的小 1×10⁵ V/cm,表明该 FG-LDMOS 的电场分布更均匀^[22]。这是因为 FG-LDMOS 在 N 漂移区下降速度变小,其电场强度沿 x 轴方向积分 得到的击穿电压变大了。当漂移区掺杂浓度都为 1×10¹⁶ cm⁻³且 V_{cs} =0 V 时,从如图 5 可知 FG-LDMOS 的击穿电压较 Con-LDMOS 从 80 V 提高到 100 V,提 升了 25%。



漏极电流 I_{DS}与漏源电压 V_{DS}的关系

由于 P 阱掺杂浓度是从上到下递减的,导致沟 槽侧壁的氧化物-硅交界处纵向电子浓度随槽深递 减,侧壁沟道中电场强度也随深度递减,使 FG-LDMOS 的场板效应较 Con-LDMOS 增强,这进一 步引起器件开关特性的变化。受此影响的两种器件 的转移特性和跨导特性曲线如图 6,可见 FG-LDMOS 的阈值电压仅为 1.1 V,比 Con-LDMOS 的阈值电压(2.0 V)降低了 45%;同时 FG-LDMOS 的最大跨导为 0.26 mS,比 Con-LDMOS 的最大跨导 (0.13 mS)高出一倍;在相同的栅极偏置电压下 FG-LDMOS 具有更大的漏极电流。此外随着跨导的 增加,开关器件的上升和下降延时均减小,进而改善系统的高频特性。



图 6 Con-LDMOS 和 FG-LDMOS 的转移特性 和跨导特性曲线

两种器件的电流密度分布情况分别如图 7(a) 和(b)所示,将电流密度值取以 10 为底的对数后从 0 到 6(单位 A/cm²)分成 10 等份。当 $V_{DS} = 20$ V, $V_{CS} = 3$ V 时, FG-LDMOS 工作在饱和区,此时 Con-LDMOS 的电流密度值能达到 10³ 量级,而 FG-LDMOS 的却能达到 10⁵ 量级。这表明由于鳍状栅 极的作用, FG-LDMOS 最大电流密度也更高,在通道 中具有更大的电流密度分布范围,故其积分得来的 导通电流 I_{DS} 应比 Con-LDMOS 高得多。图 8 所示的 Con-LDMOS 和 FG-LDMOS 的输入输出特性曲线验 证了这一推论,当栅极偏置电压同为 3 V 时, Con-



LDMOS 的饱和电流为 0.046 mA, 而 FG-LDMOS 的 饱和电流为 0.29 mA, 增加了 530%, 可见同等情况 下 FG-LDMOS 具有更大的导通电流。



图 8 两种器件的在不同栅压下的输入输出特性曲线

表2列出了 Con-LDMOS 和 FG-LDMOS 的比导通 电阻 $R_{on.sp}$ 和品质因数 FOM ($V_{BD}^2/R_{on.sp}$)。FG-LDMOS 的比导通电阻与 Con-LDMOS 相比,从 3.62 mQ/cm² 降低到 2.68 mQ/cm²,减小了 25%;FG-LDMOS 的品 质因数与 Con-LDMOS 相比从 1.84 MW/cm² 增加至 3.58 MW/cm²,提高了 94.5%。综上该 FG-LDMOS 的 优势非常明显。

表 2 两种器件的比导通电阻与品质因数对比

器件种类	$R_{_{\mathrm{on.sp}}}/(\mathrm{m}\Omega/\mathrm{cm}^2)$	$V_{\rm BD}/{\rm V}$	FOM/(MW/cm ²)
Con-LDMOS	3.62	81.6	1.84
FG-LDMOS	2.68	98.0	3.58

功率 MOSFET 的开关速率取决于等效输入电容器的充电或放电速率。图 9 表示 FG-LDMOS 与 Con-LDMOS 开启时的延时特性及相应的测试方法:在栅极输入一个幅值为 4 V 的阶跃信号 V_{in},其上升时间为 1 ns,观察输出电压 V_{out}的下降情况。V_{out}的一端与 60 V 的 VDD 连接,另一端通过 LDMOS 接地。仿真得出 Con-LDMOS 开启延时为 0.92 ns,而 FG-LDMOS 的开启延时仅为 0.81 ns,减小了 12%。FG-LDMOS 开关速度变快,除了受其阈值电压下降 作用外,其结构中寄生参数的影响也不容忽视。



米勒电容 C_{cD} 随着漏极-源极电压 V_{DS} 的增大而 减小,电容栅极电荷量 Q_{CD} 随之变化^[23-24]。米勒电 容是影响 LDMOS 高频开关的最大寄生参数,会改 变开关的延时特性,其测量方法如图 10 电路所示, 当 V_{DS} 上升到 3 V 后,寄生栅漏电容 C_{CD} 趋于稳定。 Con-LDMOS 的 C_{CD} 降至 0.68×10⁻¹⁶ F/µm,而该 FG-LDMOS 的 C_{CD} 降至 0.46×10⁻¹⁶ F/µm,较前者减小了 32.4%,从而减小了寄生参数,改善了高频特性。



3 结论

本文提出了一种新的鳍状栅极结构的 FG-LD-MOS,在不改变器件尺寸大小的情况下增加了导电沟道的有效宽度,与相同大小的 Con-LDMOS 相比,其击穿电压提高了 25%,比导通电阻降低了 25%,跨导 g_m 几乎增大了一倍,品质因数 FOM 提高了 94.5%。可以预见的是,该 FG-LDMOS 在射频通信系统和高频驱动电路中有一定的应用价值。

参考文献:

- [1] Chevaux N, De Souza M M. Comparative Analysis of VDMOS/ LDMOS Power Transistors for RF Amplifiers [J]. IEEE Transactions on Microwave Theory and Techniques, 2009, 57 (11):2643-2651.
- [2] Vassilakis B, Cova A. Comparative Analysis of GaAs/LDMOS/GaN High Power Transistors in a Digital Predistortion Amplifier System
 [C]//2005 Asia-Pacific Microwave Conference Proceedings. Suzhou, China, 2005:1175-1178.
- [3] 顾占彪,李志斌,石伟杰,等. 宽禁带器件在1 kV 高频直流谐 振变换器中的应用与对比[J]. 电源学报,2020,18(1):150 -161.
- [4] Mai A, Rücker H. Drain-Extended MOS Transistors Capable for Operation at 10 V and at Radio Frequencies [J]. Solid-State Electronics, 2011,65:45-50.
- [5] Cidronali A, Collodi G. Large-Signal Vector Characterization of LDMOS Devices for Analysis and Design of Broadband Doherty High-Power Amplifiers[J]. International Journal of Microwave and Wireless Technologies, 2019, 11(7):1-10.

- [6] Azad A N M W, Khan F, Caruso A. Self-Sustaining High-Power RF Signal Generation Using LDMOS Based Power Amplifier and Nonlinear Transmission Line [C]//2020 IEEE Applied Power Electronics Conference and Exposition (APEC). New Orleans, USA, 2020;3567–3572.
- [7] 邓兰萍,王纪民. LDMOS 低功耗自恢复电平移位电路设计 [J]. 半导体学报,2005,26(10):2028-2031.
- [8] 许龙来,钟志亲. 4H-SiC 材料干法刻蚀工艺的研究[J]. 电子 科技,2019,32(2):1-3,8.
- [9] Tim Kaske. 氮化镓 GaN 工艺及其应用[J]. 集成电路应用, 2015(9):34-35.
- [10] Onishi Y, Wang H, Xu H, et al. SJ-FINFET: A New Low Voltage Lateral Superjunction MOSFET [C]//2008 20th International Symposium on Power Semiconductor Devices and IC's. Orlando, USA,2008:111-114.
- [11] Zhou M J, Van Calster A. A Breakdown Voltage Model for Implanted RESURF p-LDMOS Device on n+Buried Layer[J]. Solid-State Electronics, 1994, 37(7):1383-1385.
- [12] Zhou K, Luo X, Li Z, et al. Analytical Model and New Structure of the Variable-k Dielectric Trench LDMOS with Improved Breakdown Voltage and Specific ON-Resistance [J]. IEEE Transactions on Electron Devices, 2015, 62(10):3334–3340.
- [13] 姚佳飞.具有线性掺杂 PN 型降场层的新型槽栅 LDMOS[J].南京邮电大学学报(自然科学版),2019,39(6):22-27.
- [14] Jaume D, Charitat G, Reynes J M, et al. High-Voltage Planar Devices Using Field Plate and Semi-Resistive Layers [J]. IEEE Transactions on Electron Devices, 1991, 38(7):1681-1684.
- [15] Kondo M, Sugii N, Hoshino Y, et al. Thick-Strained-Si/Relaxed-SiGe Structure of High-Performance RF Power LDMOSFETs for Cellular Handsets [J]. IEEE Transactions on Electron Devices, 2006,53(12):3136-3145.
- [16] Shu L, Wang T Q, Zhao Y F, et al. Effect of Drift Length on Shifts in 400 V SOI LDMOS Breakdown Voltage due to TID[J]. IEEE Transactions on Nuclear Science, 2020,67(11):2392-2395.
- [17] Wu Y T, Ding F, Connelly D, et al. Simulation-Based Study of Hybrid Fin/Planar LDMOS Design for FinFET-Based System-on-Chip Technology [J]. IEEE Transactions on Electron Devices, 2017,64(10):4193-4199.
- [18] Poli S, Reggiani S, Baccarani G, et al. Investigation on the Temperature Dependence of the HCI Effects in the Rugged STI-Based LDMOS Transistor [C]//2010 22nd International Symposium on Power Semiconductor Devices & IC's (ISPSD). Prague, Czech, 2010;311-314.
- [19] Poli S, Reggiani S, Baccarani G, et al. Full Understanding of Hot-Carrier-Induced Degradation in STI-Based LDMOS Transistors in the Impact-Ionization Operating Regime [C]//2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs. San Diego, USA, 2011:152-155.
- [20] Sunitha H D, Keshaveni N. Modeling and Simulation of LDMOS Device[J]. International Journal of Engineering Research, 2015, 4 (6):291-295.
- [21] 钟大伟,郭宇锋,花婷婷,等. 场板 SOI RESURF LDMOS 表面势 场分布解析模型[J]. 微电子学,2012,42(3):420-425.

- [22] 何进,张兴. RESURF LDMOS 功率器件表面场分布和击穿电压 的解析模型(英文)[J]. 半导体学报,2001,22(9):1102-1106.
- [23] Tallarico A N, Reggiani S, Magnone P, et al. Investigation of the Hot Carrier Degradation in Power LDMOS Transistors with Custom-

ized Thick Oxide [J]. Microelectronics Reliability, 2017, 76:475 -479.

[24] 俞军军,孙伟锋,易扬波,等. SOI LDMOS 栅漏电容特性的研究 [J]. 微电子学,2005,35(4):352-356.



蒋志林(1995—),男,汉族,湖北荆门 人,江南大学物联网学院电子工程系硕 士研究生,主要从事模拟集成电路及相 关器件的研究,1532576241@qq.com;



姜岩峰(1972—),男,汉族,吉林四平人, 博士,教授,博士生导师,2000年于兰州 大学获得博士学位,主要从事射频集成 电路设计与实现,新型电路结构设计与 实现的研究,jiangyf@jiangnan.edu.en。