Design of a High Speed Low Noise Clock Fanout*

JIANG Yingdan^{1,2}, YU Zongguang^{1,2*}, WU Shutong², WAN Shuqin²

(1.The 58th Research Institute of CETC, Wuxi Jiangsu 214000, China; 2.School of Electronic Science and Engineering, Nanjing University, Nanjing Jiangsu 2140023, China)

Abstract: In order to meet the demand of high-performance distributor for multi-channel ultra-high speed data conversion devices, a RF clock fanout structure with low jitter, low delay and high stability is proposed, which has two sets of input clock ports, and a bandgap reference circuit with no operational amplifier structure adopted internally to provide accurate bias voltage, and supports up to ten LVPECL Outputs. The optimized hypotenuse fork-finger diode ESD protection structure is adopted to enhance the ESD protection performance of the circuit. The prototype chip realized in 180 nm SiGe process shows that the maximum operating frequency is 5 GHz, given supply voltage of 3.3 V. The measured addictive phase noise results are −128.09 dBc/Hz@10 Hz,−160.75 dBc/Hz@1 MHz respectively, at carrier frequency of 122.08 MHz. The addictive jitter is 21 fs RMS when integrated from 10 kHz to 20 MHz, at carrier frequency of 1 GHz. The maximum output-to-output skew is 30 ps and the propagation delay is 80 ps tested at 25 °C. The ESD protection voltage is 4 500 V.

Key words: fanout driver; low jitter; low delay; addictive phase noise; ESD

EEACC: 1205 doi: 10.3969/j.issn.1005-9490.2022.06.001

一种高速低噪声时钟扇出器的设计*

蒋颖丹1,2,于宗光1,2*,吴舒桐1,万书芹1

(1.中国电子科技集团公司 第五十八研究所,江苏 无锡 214000;2.南京大学电子科学与工程学院,江苏 南京 210023)

摘 要:面向多通道超高速数据采集设备对高性能分配器的需求,提出了一种低抖动、低延迟、高稳定性的射频时钟扇出器 结构。有两组输入时钟端口可供选择,内部采用无运放结构的带隙基准电路,提供精确偏置电压,最高支持 10 路 LVPECL 电 平输出。端口采用优化的斜边叉指型二极管 ESD 保护结构,提升电路的 ESD 保护性能。该时钟扇出器电路基于 180 nm SiGe 工艺设计流片。经测试,3.3 V 电源电压条件下,最高工作频率为 5 GHz;在 122.08 MHz 载频下,测得附加相位噪声为 -128.09 dBc/Hz@ 10 Hz、-160.75 dBc/Hz@ 1 MHz;从 10kHz 到 20 MHz 积分,附加抖动为 21 fs RMS;常温 25 ℃下测得,最大输 出通道间偏斜为 30 ps,传输延迟 80 ps;ESD 保护电压为 4 500 V。

关键词:扇出器;低抖动;低延迟;附加相位噪声;防静电保护

中图分类号:TN432 文献标识码:A 文章编号:1005-9490(2022)06-1279-05

时钟扇出驱动器将时钟信号多路分配缓冲输 出,广泛应用于信号处理、雷达、通信、电子对抗等领 域。多通道超高速数据采集系统中,要求由高性能 的时钟扇出驱动器提供低抖动时钟分配方案。时钟 抖动会在模拟输入实际采样时间产生不确定性,从 而导致数据转换精度下降^[1]。为了使超高速数据 采集转换系统获得较好的信噪比,超高速采样时钟 必须具有低延迟、低抖动性能。降低采样时钟的传 输延迟和抖动,不仅能够提高 ADC 有效位,还能够 提高 ADC 的模拟输入带宽^[2]。同时,多路时钟扇出 器通道间偏斜也是衡量时钟分配系统的关键参数。 随着工作频率增加,尤其在5 GHz 以上的射频频段,

寄生参数对性能的影响增大,扇出驱动器通道一致 性设计难度也进一步提高。

本文提出了一种适用于5 GHz 以上低延迟低抖 动多路时钟扇出驱动器结构,并基于 180 nm SiGe 工艺,实现了一个最高工作频率5 GHz,最多支持 10 路低压正发射极耦合逻辑(Low Voltage Positive Emitter-Couple Logic, LVPECL)电平输出的射频时钟 扇出驱动器。首先介绍扇出驱动器结构,然后详细 说明带隙基准、输出驱动等关键电路设计,通过流片 及测试验证,表明这个射频时钟扇出驱动器实现了 多通道、超高速、低延迟性能兼顾,可应用于多路时 钟分配系统中。

项目来源:国家自然科学基金项目(62174149);江苏省自然基金项目(BK20211042) 收稿日期:2021-03-05 修改日期:2021-04-06

1 时钟扇出器结构

典型的扇出器结构如图 1 所示,一对差分时钟 经过 1:N 扇出后,由输出驱动模块扇出为 N 路差分 时钟信号。其最大扇出通道数 N 及最高工作频率, 取决于单级电路的驱动能力及带宽。基于该结构设 计的代表产品,最高可输出 10 路 LVPECL 电平差分 时钟信号,最高工作频率为 3.5 GHz^[3]。



图 1 典型 1:N 扇出驱动器结构框图

当数据转换时钟频率达到 5 GHz 以上时,时钟 周期小于 200 ps,典型工艺、电源电压和温度变化引 起的近 100 ps 时钟偏移,对转换器性能的影响将十 分明显。尤其在多通道数据采集系统中,通道间的 时钟偏斜及抖动越大,系统有效精度越低。因此, 5 GHz 以上时钟扇出驱动器,对抖动及通道间时钟 偏斜的要求更高,必须对传统结构进一步优化改进。

基于设计目标优化后的时钟扇出器结构如图 2



所示,包括输入选择、放大、扇出、输出驱动级等电路 模块。在输入端增加输入选择电路,通过选择信号 SEL,实现两路差分时钟信号可选,提高应用灵活 性。放大器以一定增益恢复并放大差分时钟信号。

2:10 扇出功能分解为两级实现:第一级在时钟 驱动放大后,由扇出模块输出,实现1:4,输出4路 时钟信号;第二级在输出驱动级,每路时钟经射极跟 随子模块调整直流工作点后,分别进入ECL驱动子 模块,形成10路高速LVPECL电平时钟信号输出。 考虑到射频工作条件下,低噪声低抖动的设计要求, 电路基于SiGe HBT 器件设计流片,充分发挥 HBT 器件特征频率高,噪声低的工艺优势。

2 电路设计

2.1 带隙基准电路设计

带隙基准电路用来提供具有较高温度稳定性的 精确偏置电压^[4-7]。本文设计的时钟扇出器带隙基 准电路采用无运放结构实现,一方面可避免运放引 入的噪声,另一方面可显著减小版图面积。

带隙基准电路结构如图 3 所示,流过 N1 的电流等于流过 N2 和 N3 电流之和,设计取值 R₁:R₂:R = 10:15:3,得到基准电流在电阻 R 上的压降为^[8]

$$V_{R} = \frac{2}{3} (V_{BE1} - V_{BE2}) + \frac{1}{5} V_{BE1}$$
(1)

其中 V_{BE1}-V_{BE2}为正温度系数,V_{BE1}为负温度系数,电阻比例的选择使正负温度系数近似抵消,从而 V_R 成为了一个和温度近似无关的电压值。



2.2 输入电路设计

输入级的电路图如图 4 所示。电路通过两级缓 冲器加跟随器的结构对输入信号进行初步放大,增 加驱动后级电路的能力。缓冲器采用电阻负载结 构,和上文中的带隙基准电路配合使用,可以实现在 不同 Corner 下 DC 点和输出摆幅近似不变。



图 4 输入电路结构框图

2.3 中间电路设计

中间电路包含输入选择电路和中间级扇出电路。其中输入选择电路如图 5 所示,把两路输入信号选择一路输出,选择信号由输入选择电路提供。例如,当 SEL0 电位较高时 INN0、INP0 有信号输入, 而 INN1、INP1 基本无信号输入。该电路模块的输出与下一级中间级扇出电路的输入端电阻形成一个 差分放大电路,对输入信号进行放大。



图 5 输入选择电路

中间级扇出电路如图 6 所示,该模块将一路差 分信号转为 4 路差分输出信号。每路差分信号的输 出与下一级输出驱动电路中的射极跟随子模块电路 的输入端电阻组成放大电路,对每一路输出信号进 行放大。该 1 转 4 的中间级扇出电路,用于驱动 4 个输出驱动电路模块。



2.4 输出驱动电路设计

输出驱动级由四个输出驱动电路模块构成,每

个输出驱动模块包括1个射极跟随子模块和2个或 3个 ECL 驱动子模块。

输出驱动电路包含1个射极跟随子模块和2或 3个 ECL 驱动子模块。其中,射极跟随子模块电路 如图7(a)所示,射极跟随器件N8、N9 调整输入时 钟信号的直流工作点,同时利用共集电极电路高阻 抗的特点,把上一级放大电路的输出与下一级放大 电路的输入隔离开来,有效拓展带宽。

ECL 驱动子模块电路如图 5(b) 所示。ECL 输 出电路最大的特点是其基本门电路工作在非饱和状态。当电路从一种状态过渡到另一种状态时,对寄 生电容的充放电时间将减小,这也是 ECL 电路具有 高开关速度的重要原因^[9]。ECL 驱动电路是由一 个差分对管 N14、N15 和一对射随器 N16、N17 组成 的,所以输入阻抗大,输出阻抗小,信号检测和输出 驱动能力强,差分输出,可以有效抗共模干扰。



图 7 输出驱动电路结构

为降低输出时钟高频衰减对信号完整性的影响,在电路中增加电阻 R₀和电容 C₁来降低低频增益,增益与频率的关系如图 8 所示。当频率较低时,增益保持恒定,并只与电阻 R₀和 R_L 有关,

$$G = \frac{R_L}{R_0/2} \tag{2}$$

随着频率的上升,达到谐振点 f=1/(R₀C₁)时, 增益开始增大并逐渐趋于稳定,最后增益值为

$$G = R_L / g_m \tag{3}$$



2.5 ESD 电路设计

为了避免引入额外元件,增加电路的复杂度,电路设计中通常采用结构简单、放电效率高的二极管作为 ESD 保护元件,其中叉指型二极管是目前在高频电路中应用较多的类型^[10]。但单一的叉指 ESD 防护二极管抗静电能力有限。

由于在大电流情况下,发射条的根部往往电流密 度较大,而发射条的头部往往电流密度很小,本文在 ESD电路设计中根据金属的耐电流级别,将叉指设计 成根部粗、头部细的斜边叉指型版图布局结构,使得 叉指条电流密度分布均匀,同时以重复单元的方式增 大叉指数提高静电防护性能。通过仿真验证,确定最 优叉指数,得到基于 SiGe 工艺的高速 I/O 端口 ESD 电路结构^[11],如图 9 所示。版图见图 10。



图 10 ESD 结构版图

3 版图与测试结果

基于 180 nm SiGe 工艺,电路版图设计如图 11 所示,根据信号流方向布局,输入选择(INPUT SELECTION)及放大(AMP)模块在左边,经扇出级 模块(FANOUT),由 10个均匀分布的 ECL 驱动子 模块(OE)输出,版图面积为1 652 μm×1 422 μm。 考虑到射频工作频率,设计了高速 L/O 口 ESD 防护 电路和电源到地的箝位电路,并采用斜边叉指型二



图 11 射频扇出驱动器版图

极管进行版图和性能优化。

芯片经流片测试,最高工作频率为5 GHz,见 图 12;在 122.08 MHz 载频下,测得附加相位噪声为 -128.09 dBc/Hz@ 10 Hz、-160.75 dBc/Hz@ 1 MHz, 如图 13 所示;在1 GHz 载频下,从10 kHz 到 20 MHz 积分,附加抖动为 21 fs RMS。常温 25 ℃下测得,最 大输出通道间偏斜为 30 ps,传输延迟 80 ps。ESD 的 TLP 测试曲线见图 14,防静电保护电压为 4 500 V。









图 14 ESD 的 TLP 测试曲线

芯片测试性能参数与其他文献报道的同类射频 LVPECL电平时钟扇出缓冲器电路对比,详见表1, 在附加相噪、输出通道偏斜性能相当前提下,本文电 路结构在传输延迟、最高工作频率、ESD 防护等性 能方面,优势明显。

表 1	本文提出的时钟扇出缓冲器与其他文献
	性能参数比较

性能参数	本文	[3]	[12]	
工艺	SiGe		SiGe SOI	
电源电压/V	3.3	2.375~3.8	3.3	
电源电流/mA	350	380	460	
扇出通道	2:10 LVPECL	1:10 LVPECL	1:10 LVPECL	
最高工作 频率/GHz	5	3.5	4.8	
附加抖动/ (fs RMS)	21(12 kHz~ 20 MHz@ 1 GHz)	68(12 kHz~ 20 MHz@ 125 MHz)	28(12 kHz~ 20 MHz@ 1 GHz)	
附加相噪/ (dBc/Hz)	-160.75 (Δ1 MHz@ 122.08 MHz)	-157 (Δ1 MHz@ 156.25 MHz)	-150 (Δ1 MHz@ 122.08 MHz)	
输出通道偏斜 /(ps)@25℃	30	30	45	
传输延迟/ps @25 ℃	80	200	210	
ESD	4 500 V	/	2 000 V	

4 结论

本文提出了一种高性能多路时钟扇出驱动器结构,并基于180 nm SiGe 工艺,实现了一个最高工作频率为5 GHz,两路输入可选,最多支持10 路 LVPECL 电平输出的高性能射频时钟扇出驱动器, 该射频时钟扇出器满足多通道、超高速、低抖动、低 延迟、高可靠等多性能需求,可广泛应用于多路时钟 分配系统中。

参考文献:

[1] Brannon B. 时钟抖动和相位噪声对采样系统的影响[J]. 电子



蒋颖丹(1983—),女,江苏无锡人,博 士研究生在读,高级工程师,主要研究 方向为 CMOS 高速数模混合、射频收 发芯片设计技术;



吴舒桐(1993—),女,江苏无锡人,工 学硕士,毕业于日本早稻田大学。工 程师,主要研究方向为射频集成电路 设计;

设计技术 EDN, 2005, 12(3):66-76.

- [2] Zhang Q F, Jiang Y D, Wan S Q. An Integrated Low Jitter PLL For High Speed High Resolution DACs[C]//Proceedings of IEEE International Conference on Integrated Circuits and Microsystems (ICICM), Chengdu, China, 2016:172-175.
- [3] Texas Instruments Inc. CDCLVP111 Low-Voltage 1:10 LVPECL with Selectable Input Clock Driver[EB/OL]. [2015-06-08]. https://www.ti.com.cn/cn/lit/ds/symlink/cdclvp111.pdf.
- [4] 程亮,赵子龙,钟轶峰. 低压低温度系数带隙基准源的设计[J]. 电子器件,2019,42(2):281-285.
- [5] 陈昊,张彩珍,王梓淇,等.一种高电源抑制比的曲率补偿带隙 基准电压源[J].半导体技术,2019,376(12):8-12.
- [6] 刘晓轩,张玉明,季轻舟,等.一种高精度低温漂带隙基准电路
 的设计与实现[J].西安电子科技大学学报,2019,46(2):
 41-46.
- [7] 黄东,胡彤,刘丹,等.一种适用于-55~125℃的双极工艺带隙 基准电压源[J].西安邮电大学学报,2020,25(3):50-54.
- [8] Jiang Y D, Liu X L, Zhang Q F, et al. Design of a Radio Frequency LVPECL Fanout Driver for Low Jitter Clock Distribution Systems [C]//2019 IEEE International Conference on Electron Devices and Solid-State Circuits(EDSSC), Xian, China, 2019:1-3.
- [9] Lyon T L. High Density and High Performance ECL: Some Design Tips[C]//Proceedings of Second Annual IEEE ASIC Seminar and Exhibit, Rochester, NY, USA, 1989: T9-1/4.
- [10] Yeh C T, Ker M D, Liang Y C. Optimization on Layout Style of ESD Protection Diode for Radio-Frequency Front-End and High-Speed I/O Interface Circuits[J]. IEEE Transactions on Device and Materials Reliability, 2010, 10(2):238-246.
- [11] 吴舒桐,张甘英. 基于 SiGe BiCMOS 工艺的射频 ESD 电路设计 [J]. 电子与封装,2017,17(11):21-24.
- [12] Analog Devices Inc. ADCLK950 Two Selectable Inputs, 12 LVPECL Outputs, SiGe Clock Fanout Buffer[EB/OL]. [2016-08 -08]. https://www.analog.com/media/en/technical-documentation/data-sheets/ADCLK950.pdf.



于宗光(1964—),男,山东淄博人,工 学博士,研究员,教授,博导,中国电科 58所首席专家,研究方向为大规模集 成电路设计和功率半导体技术;



万书芹(1977—),女,江苏兴化人,工 学博士,高级工程师,研究方向为大规 模集成电路设计。