Application of Microblaze Soft Core Processor in Inertial Measurement Data Acquisition

ZHOU Guangping^{1,2*}, SHI Ran^{1,2}, HU Yuxing^{1,2}, DONG Jianteng^{1,2}, GAO Fulong^{1,2}

(1. Shanghai Institute of Space Control Technology, Shanghai 201109, China; 2. Shanghai Engineering Research Center of Inertial, Shanghai 201109, China)

Abstract: In order to meet the requirements of product miniaturization and reduce the development difficulty, Xilinx's latest 7 series FPGA chip with built-in Microblaze soft core is used to realize data acquisition. Through the actual project applied in the inertial data acquisition, the Microblaze soft core development process of the FPGA chip is described in detail, including the hardware architecture design of the application system, the design of the soft core hardware platform in the latest Vivado development environment, and design of the overall software and so on. After testing and comparison, the experiment results fully demonstrate that Microblaze soft core can replace the similar CPU chip to achieve data acquisition and processing of inertial products, and has its flexible and highly efficient characteristics, showing unique advantages in similar applications.

Key words: embedded FPGA; soft core processor; Vivado; data acquisitionEEACC: 2570;7220doi: 10.3969/j.issn.1005-9490.2019.03.031

Microblaze 软核处理器在惯测数据采集中的应用

周广平^{1,2*},石 然^{1,2},胡羽行^{1,2},董健腾^{1,2},高福隆^{1,2} (1.上海航天控制技术研究所,上海 201109:2.上海惯性工程技术研究中心,上海 201109)

摘 要:为达到产品小型化要求,降低开发难度,采用 Xilinx 公司最新7系列内置 Microblaze 软核的 FPGA 芯片以实现数据采 集。通过在惯测数据采集上应用的实际项目,详细说明了该类 FPGA 芯片的 Microblaze 软核开发流程,包括应用系统的硬件 架构设计、在最新 Vivado 开发环境下的软核硬件平台的设计、整体软件的设计等。经过测试和对比,实验的结果充分说明 Microblaze 软核能够代替同类 CPU 芯片实现惯测产品的数据采集及处理,并具有其灵活高效的特性,在相近的应用场合中展 现出独特的优势。

针对目前很多应用场合,譬如弹载、车载惯测装 置的设计等,其对于产品研发有小型化、研发周期 短、设计灵活等要求,基于 FPGA 芯片的软核开发作 为一种行之有效的途径越来越受到重视。

A7 系列 FPGA 是 Xilinx 公司最新一代的产品, 它基于 28 nm 工艺制程,相比上一代的 45 nm 工艺 制程,单位面积内,其内部逻辑资源与集成的块资源 更加丰富^[1]。A7 系列主要应用于小功耗、低成本的 场合^[2,4]。作为 FPGA 芯片一个重要的功能,SOPC 可编程片上系统能大大扩展 FPGA 的数据处理能 力^[3],简化设计难度,缩短设计周期。

本文介绍了一种基于 A7 芯片的全新设计方案,用以实现惯测数据的采集与处理。该方案利用

文章编号:1005-9490(2019)03-0698-04

A7 芯片外接接口的众多的特点来实现数据采集,利 用其内嵌的 Microblaze 软核将采集到的数据进行处 理,起到了很好的效果。文章结合工程实际,详细讲 解了在 Xilinx 新一代开发环境 Vivado 下 Microblaze IP 核的开发流程。

1 系统电路结构

产品对外通信采用 SPI 接口,属于从模式。上 位机系统以1 ms 周期发送指令信号采集数据,产品 根据收到的指令,进行加表、陀螺、及温度数据的采 集。本设计中加表与陀螺采用模拟器件,需 AD 芯 片进行转换,AD 芯片转换的结果通过 16 位数据线 进行传输。电路架构如图1所示。



2 Microblaze 处理器的硬件架构

MicroBlaze 软核处理器采用精简指令集架构 (RISC),并为应用在 Xilinx 公司 FPGA 产品上做了 一些优化,图 2 表示 MicroBlaze V10.0 版组成框 图^[5]。MicroBlaze 软核处理器具有高度可配置的特 点,图中灰色模块为可选模块,除此之外,它还有一 些固定特性如:

①有 32 个 32 bit 的通用寄存器;

②具有 32 bit 长度的指令字,可有 3 个操作数 和两个地址寻址;

③采用 32 bit 指令寻址与 32bit 数据寻址分离 式的哈佛结构;

④默认为 32 bit 地址总线,可扩展为 64 bit。

MicroBlaze 软核处理器内部各模块之间采用总 线接口相连,在 V10.0版本中,共有两种总线接口协 议被使用:LMB 与 AXI4^[2,6]。LMB 能够在单周期内 对片上双端口块 RAM 进行存取操作;AXI4 接口能 够在内存与片上或片外接口之间建立通信连接关 系。此外, MicroBlaze 还能够支持最多 16AXI – Stream 接口,每路最多可带一路主接口和一路从接 口^[6],如图 2 中 M0_AXIS..与 S0_AXIS..。



3 Vivado 环境下 MicroBlaze 的设计 流程

Vivado 开发环境是 Xilinx 公司设计用于替代

ISE 的 FPGA 开发工具,其开发流程与 ISE 截然不同。相比于 ISE, Vivado 将 ISE 各个分散流程所用的组件集成在一起,使开发过程大大简化^[1,7]。对于 MicroBlaze 软核开发而言,其流程分为硬件环境开发和软件开发。图 3 为 Vivado 环境下嵌入式开发的流程图。



图 3 软核开发流程

3.1 Microblaze 硬件设计

软核硬件环境是通过在块设计(Block Design) 中画图的方式来建立的。新建一个块设计(Block Design)工程后,通过增添 IP 核的方式,将硬件环境的各个功能模块添加进去。

图 4 为基本 MicroBlaze 硬件环境构成。图中, clk_wiz_1 为硬件环境时钟功能模块,rst_clk_wiz_1_ 100M 为硬件环境复位功能模块,microblaze_0 为硬 件环境的 CPU 功能模块,microblaze_0_local_memory 为硬件环境的内存管理模块,mdm_1 为硬件环境的 调试功能模块。上述模块为硬件环境基本功能模 块,用户可根据自己的需求,通过从 IP 核库中导入 或自己建立 IP 核的方式添加需要的外设功能模块, 实现自己的设计。



图 4 MicroBlaze 硬件环境

本设计中,软核接收 AD 芯片转换的三路陀螺、 三路加表、一路温度共7路数据,对其进行补偿运算 等算法处理后,输出三路陀螺和三路加表的瞬时量 及增量,FPGA的软件组成框图如图5所示。从图5 可以看出,要实现设计要求,还需添加 AD 模块和 SPI模块两个外设模块,以及 Microblaze 软核与两个 模块通信的接口。



图 5 惯测数据采集软件结构

Microblaze 软核处理器与外设数据通信通过 GPIO 核来实现。通过 Add IP 的方式,将 GPIO 核添 加到块设计图中。每一个 GPIO 核可配置为两路 IO 口,每一路方向和位宽可自定义。由图 5 可知, Microblaze 与外部通信共需 20 路 IO 口,则需添加 10 个 GPIO 核,配置成 7 个输入口,13 个输出口。

所有模块添加完毕后,在 Vivado 中编辑引脚约 束文件,然后对建立的块设计(Block Designer)工程 进行综合、实现,最后生成.bit 文件。

3.2 Microblaze 软件设计

MciroBlaze 软核处理器的软件设计在软件开发 套件 SDK 中实现。硬件环境建立以后,将生成 的.bit 文件及硬件设计文件.hdf 文件一起,导出到 SDK 开发环境中。在 SDK 软件中建立软件工程时, 会自动识别在 Vivado 中建立并导出的硬件环境,然 后在该硬件环境的基础上,生成软件工程,同时会生 成板级支持包(BSP)作为驱动程序。

本设计在 Microblaze 软件工程中采用 C 语言实 现对采集数据的标定及 FIR 滤波。C 程序的流程图 如图 6 所示。



(1)初始化部分将硬件环境中可操作的外设功 能模块与软件 C 语言的变量链接在一起,变成 C 语 言可操作的对象。在本设计中,可操作的外设功能 模块为 GPIO 口。BSP 中的头文件里,通过如下宏 定义的方式定义了 GPIO 口:

#define XPAR_GPIO_0_BASEADDR 0x40010000

#define XPAR_GPIO_0_HIGHADDR 0x4001FFFF

#define XPAR_GPIO_0_DEVICE_ID XPAR_AXI_GPIO_0_ DEVICE_ID

#define XPAR_GPIO_0_INTERRUPT_PRESENT 0 #define XPAR_GPIO_0_IS_DUAL 1

其中,XPAR_GPIO_0_BASEADDR 0x40010000 表 示该 GPIO 口在内存中的映射基地址,XPAR_GPIO_0 _HIGHADDR 0x4001FFFF 代表该 GPIO 口在内存中 的映射高地址,XPAR_GPIO_0_DEVICE_ID XPAR_ AXI_GPIO_0_DEVICE_ID 定义该 GPIO 口在 C 语言 中的变量表示, XPAR_GPIO_0_INTERRUPT_ PRESENT 0 表示该 GPIO 口是否带中断功能,XPAR_ GPIO_0_IS_DUAL 1 表示该 GPIO 口是否为双向口。

在初始化程序中,通过如下语句定义 GPIO 口的功能:

XGpio Gpio;

Status = XGpio_Initialize (&Gpio, XPAR_GPIO_0
_DEVICE_ID);

XGpio_SetDataDirection(&Gpio,1,0);

XGpio_SetDataDirection(&Gpio,2,0xFFFF);

其中,第一句定义某个 GPIO 口变量,第二句 GPIO 初始化功能语句将该变量与相应的 GPIO 硬 件模块链接在一起,第三与第四句定义了 GPIO 口 内部两路通道的方向:二进制 0 表示该通道某位为 输出;二进制 1 表示该通道某位为输入。

初始化完成后,程序可使用以下两句代码实现对 GPIO 口的读写功能:

Data = XGpio_DiscreteRead(&Gpio,2);

XGpio_DiscreteWrite(&Gpio ,1,Data_0);

其中,第一句表示通过第2通道读外部数据,第 二句表示通过第1通道输出运算结果。

(2)标定功能能够去除加表及陀螺的零位误差 及安装矩阵误差,其计算方式如式(1)。

$$\begin{cases} R_x = k_{Gx} (E_{xx} \omega_x + E_{xy} \omega_y + E_{xz} \omega_z + D_x) \\ R_y = k_{Gy} (E_{yx} \omega_x + E_{yy} \omega_y + E_{yz} \omega_z + D_y) \\ R_z = k_{Gz} (E_{zx} \omega_x + E_{zy} \omega_y + E_{zz} \omega_z + D_z) \end{cases}$$
(1)

式中, R_x、R_y、R_z为陀螺或加表每个轴得到的测量 值, k_{Gx}、k_{Gy}、k_{Gz}为陀螺或加表每个轴对应的标度因 数, E_{pg}为每个测量轴相对于陀螺或加表各轴的由于 安装或结构等误差所产生的交耦系数, D_x 、 D_y 、 D_z 为 陀螺或加表各轴的零偏, ω_x 、 ω_y 、 ω_z 为实验设备施加 在产品上各轴的陀螺或加表分量。

用速率法、位置法等标定实验,测得的数据进行反 算得出零位误差及交耦系数等参数^[7]。然后,将确定 参数的式(1)在 Microblaze 中用 C 语言可轻松实现。

(3) FIR 功能能够滤除加表及陀螺数据中不需 要的高频分量, FIR 功能所需的阶数及差分系数由 MATLAB 确定。增加 Microblaze 软核功能模块前后 采集的数据对比如图 7, 陀螺数据信号滤波前在 120 MHz 处有谐振峰出现, 滤波后该处的谐振峰, 当频 率大于 200 MHz 时, 无法进行跟踪。



图 7 滤波前后幅频特性图

(4) DSP 采用 FPU 优化模块,针对浮点型数据运算,因此运算速度快,使用 Microblaze 与 DSP 解算时间的对比如表 1 所示。

表 1	
-----	--

	DSP	MB	备注
FIR 运算时间	40 μs	42 μs	时钟150 MHz;20 个
总程序运行时间	60 μs	64 μs	滤波参数;9 阶滤波



周广平(1985-),男,汉族,上海市,上 海航天控制技术研究所,中级工程师, 硕士研究生,电路设计及 FPGA 设计, zhouguangp@163.com; 由表1可以看出使用 Microblaze 进行惯测补偿 算法与 DSP 运算时间基本持平,可代替 DSP 精简电 路结构

4 结论

基于 Vivado 开发环境, 新一代 A7 系列 FPGA 内 Microblaze 软核功能不但功能更加强大, 而且开 发难度大大降低。这对于很多产品实现小型化提供 了便利,并简化了软硬件的设计难度。本设计已经 在成熟产品上应用, 并取得了预期效果。在未来的 嵌入式系统设计中, SOPC 功能一定会成为 FPGA 开发的一个重要组成部分。

参考文献:

- [1] 巫忠正. 基于 MicroBlaze 的嵌入式系统设计[D]. 南京:南京理 工大学,2014.
- [2] 单超,王萍,朱爱民,等. 基于 Microblaze 软核的嵌入式系统设计[J]. 单片机与嵌入式系统应用,2011,11(3):18-21.
- [3] 徐立杰. 基于 MicroBlaze 的嵌入式接口设计[D]. 成都:成都理 工大学,2009.
- [4] 张燕, 冯永新. 基于 Microblaze 系统的 AD 数据采样与实现[J]. 电子技术, 2007(7):96-99.
- [5] 李剑阳,付宇卓,刘婷. 基于 Microblaze 多核系统的设计及在 FP-GA 上的实现[J]. 微电子学与计算机,2009,26(7):160-163.
- [6] 刘永健. 软核嵌入处理器 MicroBlaze[J]. 计算机与网络,2012, 38(15):64-66.
- [7] 徐苛杰,何鹏举,张冰. 基于 FPGA 的微惯性测量组合电路设计[J]. 传感技术学报,2006,19(6):2536-2539,2543.
- [8] 龙霞飞,李仁发. Microblaze 微处理器 IP Core 的结构及应用 [J]. 微处理机,2004,25(6):6-9.



胡羽行(1989-),女,汉族,安徽,上海 航天控制技术研究所,助理工程师,硕 士,信息与通信工程,主要研究嵌入式 系统开发,13810433747@163.com。