

一种用于 JPEG2000 的小波变换 VLSI 结构设计方法

陈磊 王峰 段淋 周赞

(上海交通大学电子工程系图像通信与信息处理研究所, 上海 200240)

(上海交通大学上海市数字媒体处理与传输重点实验室, 上海 200240)

摘要 为了快速地进行小波变换,提出了一种应用于 JPEG2000 的基于提升格式 5/3, 9/7 统一的离散小波滤波单元;同时对于行列并行滤波,提出了一种控制机制,其在缓存 5 行的条件下,可完成高速行列并行滤波操作。该方法在保证精度条件下,可以取得较高的硬件利用率,且中间数据暂存空间需求低。然后在提升结构基础上,完成了硬件模块设计,并进行了仿真和 FPGA 实现。最后用 Verilog HDL 对系统进行了硬件描述,并在 Altera DE2 的验证板上的 cyclone2 EP2C35FC672 芯片上,在 Quartus 6.0 环境下实现了该结构功能。

关键词 离散小波变换 统一滤波单元 并行结构 JPEG2000 行缓存

中图分类号: TN919.81 文献标识码: A 文章编号: 1006-8961(2007)10-1730-05

A VLSI Architecture Design of 9/7 and 5/3 DWT Filter for JPEG2000

CHEN Lei, WANG Feng, DUAN Lin, ZHOU Yun

(Institute of Image Communication and Information Processing, Department of Electronic Engineering,

Shanghai Jiaotong University, Shanghai 200240)

(Shanghai Key Laboratory of Digital Media Processing and Transmissions, Shanghai Jiaotong University, Shanghai 200240)

Abstract A uniform 9/7 and 5/3 DWT filter by lifting scheme is proposed for JPEG2000. This paper also proposes a control method of row and column parallel filtering with minimum five lines cache. This architecture can achieve higher hardware utilization and lower temporary data storage without losing precision. By using this architecture, we have accomplished the hardware design. The algorithm is described by Verilog HDL, and simulated by modelsim. It is implemented by cyclone2-EP2C35FC672 under Altera DE2 board with Quartus 6.0.

Keywords discrete wavelet transform (DWT), uniform filter unit, parallel architecture, JPEG2000, row cache

1 引言

近年来,离散小波变换(DWT)由于具有良好的空-频局部化特性已经广泛应用于各种不同的研究领域,如信号处理、图像处理等。由于传统的小波变换是采用卷积计算的,因此,不仅计算量大,而且需要大量的存储空间,不利于 VLSI 实现。1996 年,Sweldens 提出提升小波技术^[1],这被誉为构造第 2 代小波的关键技术,其提升算法的计算复杂度大约

为标准卷积算法的一半。新一代图像压缩编码标准 JPEG2000 就采用提升格式的 9/7, 5/3 双正交小波变换来分别进行有损、无损图像压缩。

现在已经提出了不少实现 DWT 的 VLSI 结构^[2-4],这些结构大部分采用行列分开进行的方式,它的优点是结构清晰,控制机制简单,但缺点也很明显,如对于分辨率比较大的图片,不但不能够做到实时解码,同时其结构行列变换之间的缓存空间也是相当的大。

在研究了提升格式双正交小波滤波器的基础

收稿日期:2007-05-18;改回日期:2007-08-11

第一作者简介:陈磊(1984 ~),男,上海交通大学图像通信所硕士研究生。主要研究方向为图像通信编码等。E-mail: chen_lei@sjtu.edu.cn

上,提出了一种统一的提升单元结构,该结构可以用于 9/7 和 5/3、6/10 等小波系数形式,同时提出了一种滤波缓存结构,对于 9/7 小波来说,只需要 5 行嵌入式内部缓存器,而对于 5/3 小波来说,只需要 3 行嵌入式内部缓存器,硬件利用率达到 100%,可见该提升结构可以在行列滤波并行高速进行的同时,尽可能减少中间暂存数据的存储空间。

2 JPEG2000 小波提升算法

基于 JPEG2000 标准的提升小波变换,采用了 5/3 和 9/7 滤波器组对分块的图像进行提升运算,前者可以用于有损或无损图像压缩,后者只能用于有损图像压缩。

采用 5/3 滤波的分解如下式所示:

$$y_{2n+1} = x_{2n+1} - (x_{2n} + x_{2n+2})/2 \quad (1)$$

$$y_{2n} = x_{2n} + (y_{2n-1} + y_{2n+1})/4 \quad (2)$$

采用 9/7 滤波的分解如下式所示:

$$\omega_{2n+1} = x_{2n+1} + \alpha(x_{2n} + x_{2n+2}) \quad (3)$$

$$\omega_{2n} = x_{2n} + \beta(\omega_{2n-1} + \omega_{2n+1}) \quad (4)$$

$$\xi_{2n+1} = \omega_{2n+1} + \lambda(\omega_{2n} + \omega_{2n+2}) \quad (5)$$

$$\xi_{2n} = \omega_{2n} + \delta(\xi_{2n-1} + \xi_{2n+1}) \quad (6)$$

$$y_{2n+1} = \kappa \xi_{2n+1} \quad (7)$$

$$y_{2n} = \frac{1}{\kappa} \xi_{2n} \quad (8)$$

式中, x 为输入信号, y 为输出信号。对边界数据进行处理的对称周期延拓如图 1 所示。



图1 周期对称延拓方法

Fig.1 Method of period extension

3 2 维离散小波变换硬件结构设计

图 2 为 2 维小波变换的体系结构,它由一个输入选择器、一个控制器、一个行滤波、一个列滤波、一个双口 RAM 作为行缓存和一个存放小波变换后子带数据的外部存储器组成。在控制模块的作用下,行滤波模块负责读入原始图像数据或者从外部存储器读入上级变换的 LL 子带数据,将行变换的结果存入行缓存模块,对于 $N \times N$ 的宏块,这里采用双口 ram 作为行缓存,它的大小是 $5 \times N \times n$ (对于 9/7 小

波需要 $5 \times N \times n$,而 5/3 小波则只需要 $3 \times N \times n$ 的大小,其中 n 为小波系数的位宽)。列滤波模块同样在控制模块的作用下,先从行缓存模块中读入数据,然后沿着行的方向进行小波列变换,并将变换后的 4 个子带 LL,HL,LH,HH 写入外部存储器。

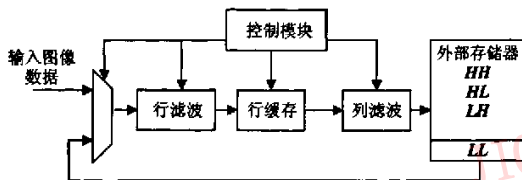


图2 2 维离散小波变换硬件结构框图

Fig.2 The hardware architecture of 2D-DWT

3.1 一种统一的提升小波格式

图 3 所示为一个统一的单元提升小波结构。对于 5/3 小波系数而言,小波系数都是整数,移位器 1 就是右移一位操作,移位器 2 就是右移二位操作,其中选择器的 sel 信号选通下面的一路,使得移位器 1 的输出结果取反。由于 9/7 小波系数是无理数,因此若要快速硬件实现,则必须对其进行量化。Barua 等人提出一种量化方案^[5],量化后的系数如下:

$$\alpha = -1.5, \beta = -0.0625, \gamma = 0.8, \delta = 0.46875$$

本文将其转化为二进制系数,并采用移位加来代替乘法实现无乘法的滤波器

$$\alpha = 1.10000000, \beta = 0.00010000$$

$$\gamma = 1.00011001, \delta = 0.10001000$$

对于量化后的误差分析(见文献[6]),在有限的位数范围内尽可能地逼近真实值。

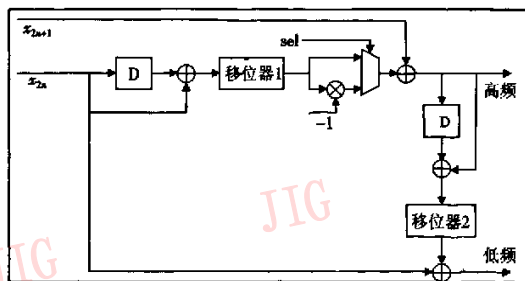


图3 统一的小波提升结构

Fig.3 A uniform form of lifting wavelet transforms

由于提升小波算法特性所致,空间正变换和反变换中乘法系数 k 是可逆的,无论其值为多少,只是相应的图像压缩性能会略微有所不同,为了构造统一的标准结构,可以将这个 k 值看作为 1,这样就可

以看出 9/7 系数的滤波实际上是两个单元提升小波级联的结构(图 4),其中两个选择器都选择上路(移位器 1,3 直通),移位器 1,2,3,4 分别等效着乘 α , β , γ , δ 的操作,其中 D 为单位延时器. 这样利用移位加就可以用组合逻辑电路实现移位器 1,2,3,4 的功能. 图 5 所示为在 synplify 下对于 9/7 系数滤波的综合移位器 1 的门级图,即 $\alpha \times \text{input} = \alpha + \alpha \gg 1$.

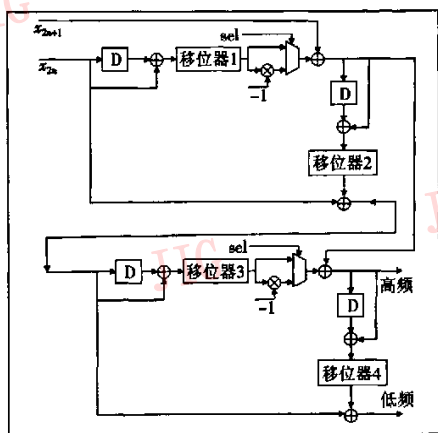


图 4 9/7 小波级联的格式

Fig. 4 The form of 9/7 lifting wavelet transforms

3.2 行缓存模块

文献[7]中采用了 7 行行缓存来保存数据的中间结果,它的优点是控制机制简单,同时可获得较好的空间效率. 本文在此基础上,通过控制实现了 2 维行列同时滤波的数据读写操作,提出了一种 5 行行缓存实现机制. 相对于文献[7]算法来说,虽增加一些控制逻辑,却很好地利用了存储器的容量来

完成数据更新.

现以 9/7 小波为例来说明这种最小行滤波缓存结构,假设图像含的像素为 8×8 ,排列如图 6 所示. 其中行滤波处理器和列滤波器采用的结构如图 3 所示.

当行滤波处理完两行,开始对第 3 行进行操作时,就可以开始列滤波的第 1 步预测和更新. 为了加快处理速度,列滤波的方向沿行的方向进行. 例如,当行滤波开始 L_{20} ,则列滤波单元根据 9/7 小波公式,读取 L_{00} , L_{10} , L_{20} 3 个数据,经过第 1 步的预测即可得到 ω_{01} ,此时将 ω_{01} 写入 L_{10} 的位置,经第 1 步更新可得到 ω_{00} ,将其写入 L_{00} 的位置;然后沿着行的方向,继续读取 L_{01} , L_{11} , L_{21} 3 个数据,并将得到的 ω_{11} , ω_{10} 分别写入 L_{11} 和 L_{01} 的位置去. 直到最后一列读取 H_{03} , H_{13} , H_{23} ,将得到的 ω_{71} , ω_{70} 写入 H_{13} 和 H_{23} 的位置中去.

等到行滤波处理到第 5 行时,列滤波重新回到第 1 列,先读取 L_{20} , L_{30} , L_{40} ,并将计算得到的 ω_{03} 写入 L_{30} 的位置中去. 读取 L_{20} , ω_{01} ,即可以开始进行列滤波的第 2 步预测和更新,列滤波读取 ω_{01} , ω_{00} 和 ω_{02} ,即可得到 ω_{03} ,将计算得到的 ω_{02} 写入 L_{20} 的位置. 至此即可将 ξ_{00} , ξ_{01} 存入子带 LL 中去. 如此沿着行的方向一直运算到最末一列.

当行滤波处理到第 6 行时,则将所得结果写入 ω_{00} 所在行的位置,当处理到第 7 行时,则将所得结果写入 ω_{01} 所在行的位置. 列滤波又重新回到第 1 列,然后读取 L_{50} , L_{40} , L_{60} ,并将得到的 ω_{05} 存入 L_{50} 的位置,再读取 L_{40} , ω_{03} 和 ω_{05} ,并将得到的 ω_{04} 存入 L_{40} 的位置,至此进行第 2 步更新即得到 ξ_{02} , ξ_{03} .

以第 1 列的数据为例,本文提出的 5 行缓存机



图 5 电路结构门级框图

Fig. 5 The gate level circuit diagram

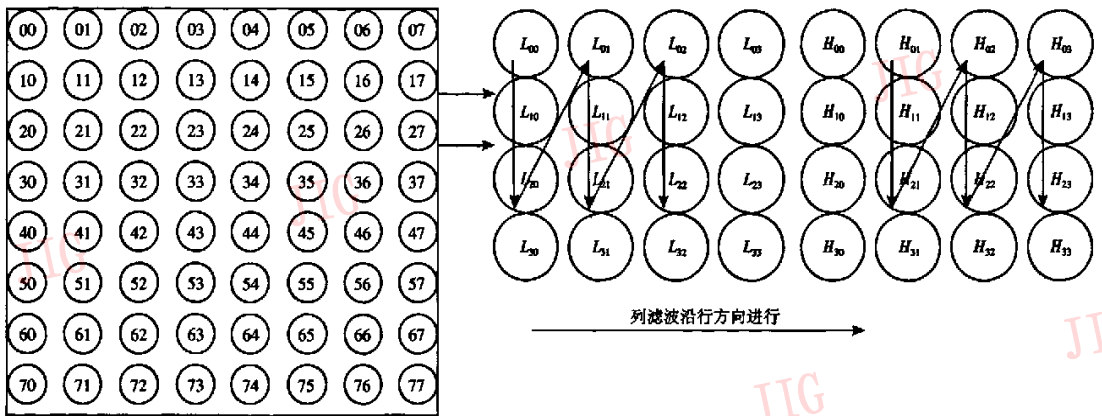


图 6 行缓存示意图

Fig. 6 Row cache sketch

制的数据更新方法可以用表 1 描述。

表 1 数据更新机制

Tab. 1 The data refresh mechanism

$L_{00} \rightarrow \omega_{00} \rightarrow L_{50}$	$\rightarrow \omega_{05}$		
$L_{10} \rightarrow \omega_{01} \rightarrow L_{60}$		$\rightarrow \omega_{06}$	
$L_{20} \rightarrow \omega_{02}$		$\rightarrow L_{70}$	$\rightarrow \omega_{07}$
$L_{30} \rightarrow \omega_{03}$			
L_{40}	$\rightarrow \omega_{04}$		
输出:	ξ_{00}, ξ_{01}	ξ_{02}, ξ_{03}	ξ_{04}, ξ_{05}
			ξ_{06}, ξ_{07}

对于列滤波的读操作而言,对于某一列的情况,一次顺序的读取 3 个数据,进行滤波,同时备份最后一个数据,下一次读取随后的数据,连同之前备份的一个数据,再进行滤波。当读取地址到达边界时,则跳到起始地址读数。

对于列滤波的写操作而言,对于某一列的情况,如果从哪 3 个连续位置读数,则计算出来的第 1 步预测更新的数据就重新写回到哪个位置。比如从第 1 个位置读取 L_{00} ,则将计算得到的 ω_{00} 写回,若从第 2 个位置读到 L_{60} ,则将计算得到的 ω_{06} 写回。和读操作相同,每次读取数据后备份最后一个数据,下

次读取随后的两个数据。当写地址到达边界时,则跳到起始地址写数据。

3.3 控制模块

控制模块除了控制行滤波和列滤波对行缓存模块读写的时序控制,此外,小波多级分解次数也是由它控制的。小波滤波器开始进入初始状态,当前分解级数结束,且小波需要分解级数大于当前分解级数时,控制模块给出下一级分解的使能信号,即从原图像数据或者从 LL 子带中读取数据,然后进入小波变换器,依次进行行列滤波变换处理。在设计时,将小波变换的最大分解级数定为 5 级,这对于一般的图像已经满足需求。

4 实验结果及分析

本文对提出的硬件实现结构进行 Verilog HDL 语言 RTL 级的描述,为验证本文设计模块的效果,在 altera DE2 的验证板上,采用 cyclone2 EP2K35FC672 芯片进行了仿真实验,仿真波形如图 7 所示。系统共用了 LUTs 为 1984 个($N=256$),最高工作频率为 86.5MHz。图 7 为本文设计的模块的仿真结果,从中可以看到,dout 的数据与软件计算

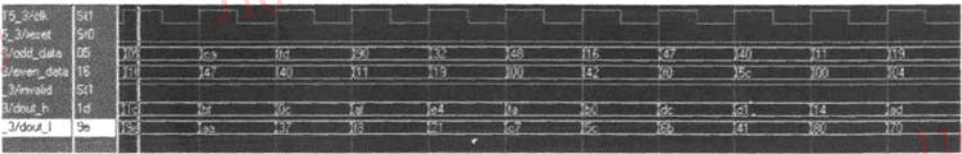


图 7 Modesim 仿真波形图

Fig.7 Waveform in modelsim

机计算完全一致,且行缓存的读写访问接近满负荷,到达较高的硬件利用率。这证明本文设计的结构和实现的结果是合理有效的。

5 结 论

传统的2维小波变换的方法结构大部分采用行列分开进行的方式,如先行后列,或者先列后行的操作方式,如果所运算的每个切片较大时,行列分开进行的速度很慢,因此对于分辨率比较大的图片,还不能够做到实时解码。

本文提出一种5/3和9/7复用的提升小波结构,并在行列并行滤波的基础上,使列变换的次序沿着行变换的方向进行,提出了一种最小行缓存结构。这种结构由于加快了行列并行处理的速度,因此提高了小波变换的效率,并且在最大程度上减小了行列变换中间过程的存储空间。以上所提出的结构已成功在Modelsim工具上完成了行为级Verilog HDL的仿真,并在FPGA设计平台上完成综合。行为级的仿真结果和Matlab平台下模拟的结果完全一致,可见本文设计的电路结构和设计正确。

参考文献 (References)

- 1 Sweldens W. The lifting scheme: A custom2 design construction of biorthogonal wavelets [J]. *Applied and Computational Harmonic Analysis*, 1996, 3: 186 ~ 200.
- 2 Lian C J, Chen K F. Lifting based discrete wavelet transform architecture for JPEG2000 [A]. In: *Proceedings of the 2001 IEEE International Symposium on Circuits and Systems [C]*, Piscataway, New Jersey, USA, 2001: 445 ~ 448.
- 3 Movva S, Srinivasan S. A novel architecture for lifting2 based discrete wavelet transform for JPEG2000 standard suitable for VLSI implementation [A]. In: *Proceedings of 16th International Conference on VLSI Design [C]*, New Delhi, India, 2003: 202 ~ 207.
- 4 Xiong C Y, Tian J W. The improved lifting scheme and novel reconfigurable VLSI architecture for the 5P3 and 9P7 wavelet filters [A]. In: *Proceedings of 2004 International Conference on Communications, Circuits and Systems [C]*, Chengdu, China, 2004: 728.
- 5 Barua S, Kotteri K A, Bell A E, et al. Optimal, quantized lifting coefficients for the biorthogonal 9/7 wavelet [A]. In: *Proceedings of the IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP) [C]*, Montreal, Canada, 2004, 5: 193 ~ 196.
- 6 Zhao Nan-man, Sun Hong-xing, Xu Xin-he. Implementation of an improved hardware for DWT of lifting scheme [J]. *Journal of Northeastern University (Natural Science)*, 2006, (6): 606 ~ 609. [赵楠楠, 孙红星, 徐心和. 改进的基于提升格式的DWT硬件实施方案[J]. *东北大学学报(自然科学版)*, 2006, (6): 606 ~ 609.]
- 7 Ma Yan-ping, Wang Jian-feng, Liu Yun. Hardware design of a multiplierless, high-performance, 9/7 DWT filter [J]. *Telecommunication Engineering*, 2006, (5): 200 ~ 204. [马艳萍, 王剑峰, 刘云. 一种无乘法高性能9/7离散小波变换滤波器的硬件设计[J]. *电讯技术*, 2006, (5): 200 ~ 204.]