

文章编号:1001-5078(2007)增刊-0990-03

Kink 效应对低温 CMOS 读出电路的影响

刘文永^{1,2}, 冯 琪¹, 丁瑞军¹

(1. 中国科学院上海技术物理研究所, 上海 200083; 2. 中国科学院研究生院, 北京 100039)

摘 要:在深低温下($T < 50\text{K}$), CMOS 器件会出现 Kink 效应, 即 $I-V$ 特性曲线会发生扭曲。当漏源电压较大时($V_{ds} > 4\text{V}$), 漏电流突然加大, 电流曲线偏离正常的平方关系。本文通过实验表明, Kink 效应对 CMOS 读出电路中的一些电路结构产生较严重的影响, Kink 效应会导致源跟随器输出产生严重的非线性; 对于共源放大器和两级运放, Kink 效应会使其增益产生非线性。最后, 针对影响低温读出电路性能的 Kink 效应进行分析和研究, 提出在低温 CMOS 读出集成电路设计中如何解决这些问题的方案。

关键词:Kink 效应; CMOS 读出电路; 低温; 非线性; 宏模型

中图分类号:TN386.5 **文献标识码:**A

Impact of Kink Effect on CMOS Readout Circuits for Cryogenic Operation

LIU Wen-yong^{1,2}, FENG Qi¹, DING Rui-jun¹

(1. Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China;

2. Graduate School of the Chinese Academy of Sciences, Beijing 100039, China)

Abstract: The Kink phenomenon presented in the $I-V$ output characteristics of CMOS devices at low temperature ($T < 50\text{K}$) is studied. The impact of Kink effect on CMOS readout integrated circuits for cryogenic operation is examined. The output characteristic of source follower, the gain characteristic of common-source amplifier and two-stage amplifier all exhibit severe nonlinearity resulted from the Kink effect. Based on the analysis of Kink effect problems, several solutions are proposed for the design of CMOS readout integrated circuit operated at low temperature. The improvement is verified through the simulation.

Key words: Kink effect; CMOS readout circuits; low temperature; nonlinearity; macro model

1 引 言

超长波红外探测器需要工作在深低温($< 50\text{K}$)才能获得良好的器件性能。例如, $16\mu\text{m}$ 量子阱红外探测器需要工作于 35K , 与之互联的读出电路也需要工作在 35K 。因此需要研究 CMOS 器件在深低温下的工作特性, 并建立合适的仿真模型, 才能设计适合于深低温工作的读出电路。CMOS 器件在低温下具有很多优点, 如亚阈值斜率增大, 载流子迁移率和饱和速度增大, 无闩锁效应等; 当然也有一些缺

点, 如载流子冻析, Kink 效应, LDD 区串联电阻效应等。本文首先建立 35K 的 BSIM3V3 模型, 对 Kink 效应进行研究并建立基于 BSIM3V3 的 SPICE 宏模型, 然后使用此模型对读出电路中的常用电路结构进行仿真验证。

作者简介: 刘文永(1982-), 男, 硕士研究生, 主要研究方向为红外焦平面读出电路。E-mail: loghere@126.com

收稿日期: 2007-06-19

2 Kink 效应和实验结果

Kink 效应普遍存在于 SOI 器件和深低温体硅 MOSFET 中^[2-3]。在漏电压 V_{ds} 较大时,漏端沟道夹断, V_{ds} 继续增大后 ($>4V$) 使沟道区的电场升高,电子在夹断区被加速,碰撞产生的电子空穴对增加。常温时碰撞电离产生的空穴通过衬底流出。低温时由于载流子冻析效应,衬底电阻率增大,使得空穴不能及时流走,积聚在衬底,并导致衬底电势升高,产生寄生衬底偏压。进而导致阈值电压下降,漏电流加大, $I-V$ 曲线发生扭曲效应,即 Kink 效应。图 1 为典型的低温下 Kink 效应造成的漏电流扭曲特性。

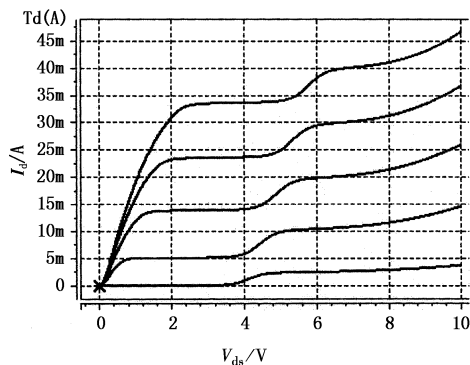


图 1 典型的低温下 Kink 效应造成的漏电流扭曲特性

根据 CMOS 器件在低温下的特性,对常温 CMOS 器件的 BSIM3V3 模型的一些与温度有关的重要参数进行修改^[1,5],建立了低温改进型 BSIM3V3 模型。模型中主要改变了阈值电压、载流子迁移率、串联电阻、载流子饱和速度等参数。图 2 (a) 为 $0.6\mu m$ CMOS 工艺 NMOS $I-V$ 特性,图 2 (b) 为沟道电导的特性曲线。点阵为实际测量结果,实线为低温改进型 BSIM3V3 模拟结果。从中可以看出有两个现象 BSIM3V3 模型无法模拟,分别是饱和区 Kink 效应造成的曲线扭曲和线性区 LDD 串联电阻造成的曲线弯曲,本文只针对前者。

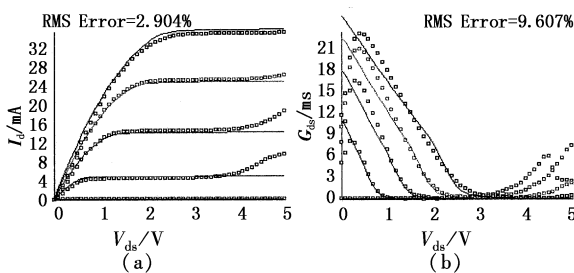


图 2 $T=35K$, I_d-V_{ds} , $G_{ds}-V_{ds}$ 曲线图, NMOS, $W/L=96\mu m/3\mu m$

3 宏模型的建立

前面实验实际测量结果和现有模型仿真比较表明,通常的 SPICE 模型不能反映真实的低温 CMOS

特性。为此,通过宏模型建立来改进现有 SPICE 模型,可以精确反映低温 CMOS 的 Kink 效应。

在 Kink 效应出现的区域,所增大的漏电流 ΔI_d 与寄生衬底偏压 ΔV_b 和背栅跨导 $g_{mb} = dI_d/dV_b$ 的近似关系为:^[3-4]

$$\Delta I_d = g_{mb} \Delta V_b \quad (1)$$

$$g_{mb} = g_m \frac{\gamma}{2\sqrt{2\Phi_F + V_b}} = \eta g_m \quad (2)$$

$$\Delta I_d = g_m \Delta V_g \quad (3)$$

所以

$$\Delta V_g = \eta \Delta V_b \quad (4)$$

可见增大衬底电压与增大栅电压效果相同。为了建模的方便,我们用增大栅电压来等效衬底电压的增大。

新的栅电压定义为 V_{gnew} , 建立如下由 V_g 转化到 V_{gnew} 的关系:

$$V_{gnew} = V_g + \frac{\Delta V_g}{1 + 10^{pp \times (bb - V_d)}} \quad (5)$$

其中, pp 和 bb 为拟合参数。另外我们发现,随着 V_g 的增大,出现 Kink 效应时的 V_{ds} 也越大,因此还要加入 V_g 的调节。SPICE 子电路如下:

```
.subckt nvnew d g s b ww=20u ll=0.6u
.param bb=4 pp=3 dvq=0.6
Egnew gnew 0 VOL=
'V(g)+dvq/(1+pwr(10,pp*(bb+V(g))/3-V(d)
)+V(s)))'
MN d gnew s b nv n w=ww l=ll
Gd d s CUR='I(MN)'
.ends
```

图 3 为使用上述宏模型之后的 $I-V$ 特性曲线。比较图 1 和图 3, Kink 效应得到了很好的模拟,均方根误差显著减小。因此上述宏模型比较理想,可以用于 SPICE 仿真。

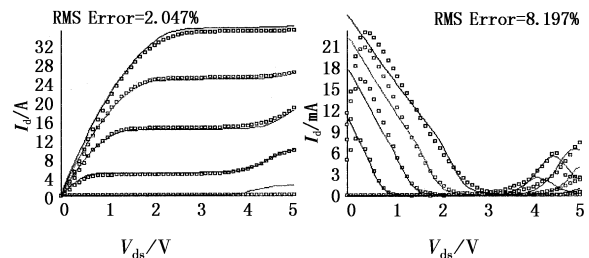


图 3 使用宏模型之后的 I_d-V_{ds} , $G_{ds}-V_{ds}$ 特性曲线
NMOS, $W/L=96\mu m/3\mu m$

4 Kink 效应宏模型的电路应用验证

4.1 源跟随器的仿真和分析

使用前文所建立的宏模型对读出电路中广泛使

用的源跟随器进行仿真。图4为负载电阻为5k Ω , NMOS源跟随器的输入输出特性。图4表明, Kink效应使得传输信号产生了较为严重的失真, 影响了读出电路的性能。

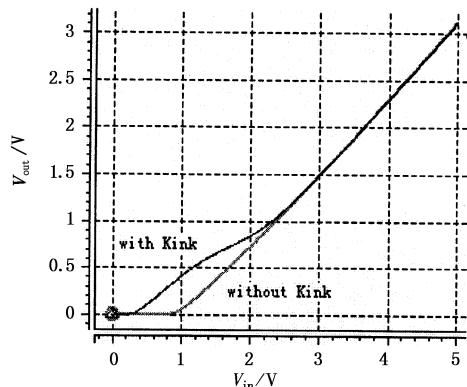


图4 源跟随器的输入输出特性

4.2 两级运放的仿真和分析

图5所示的两级运放常用于CTIA和BDI等读出电路结构中, 当运放的输出电压较高时M5管会出现Kink效应, 图6为其开环直流分析。图6表明, 在输出较大时(>3V)增益明显下降, 可下降两个量级(从大约83dB下降至约48dB)。此时虚地原理不再准确, 当输出电压较大时差分输入端电压之差约为几毫伏, 这对读出电路来说应该影响不大。尽管如此, 这么低的增益仍不是我们所希望的。

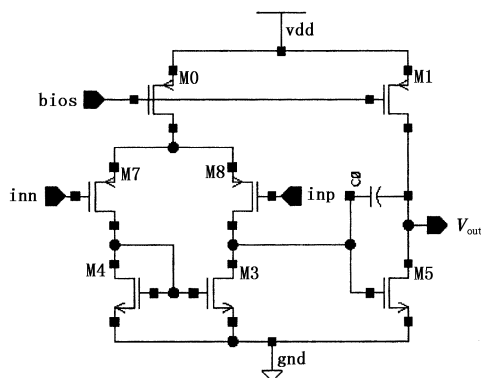


图5 CTIA, BDI等结构中常用的两级运放

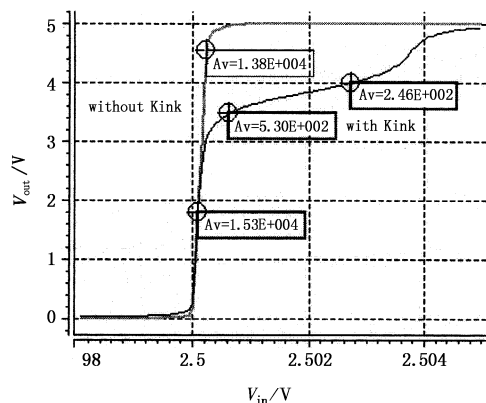


图6 两级运放的DC分析

5 电路设计中Kink效应的避免措施

PMOS的Kink效应不明显^[6-7], 同时Kink效应与沟道长度 L 有关^[3], L 越大Kink效应越明显, 对于0.6 μm 工艺, $L \leq 1\mu\text{m}$ 时Kink效应基本消失。因此对于长沟道的NMOSFET, 只要 V_{ds} 较大(>4V)就会出现Kink效应。

对于可能产生Kink效应的NMOSFET, 在不改变工艺的条件下, 如下措施可以避免Kink效应:

- (1) 使用PMOSFET代替NMOSFET, 例如使用PMOS源跟随器;
- (2) 使用短沟道NMOSFET;
- (3) 在NMOSFET的周围做一圈衬底或阱的接触^[7], 用来收集空穴以阻止衬底电势的升高。

当然, 这些措施具有一定的局限性, 比如短沟器件的输出阻抗会降低, 衬底或阱接触会给版图设计带来不便。

6 结论

本文通过对比BSIM3V3模型的仿真结果与实际测量曲线, 针对BSIM3V3模型无法模拟的Kink效应, 建立了经验宏模型。然后用此模型对读出电路中常用的源跟随器和两级运放进行仿真, 结果表明Kink效应会对这些电路产生较大的影响。最后提出在电路设计中如何规避Kink效应。

参考文献:

- [1] N Yoshikawa, T Tomida, M Tokuda, et al. Characterization of 4K CMOS devices and circuits for hybrid Josephson-CMOS systems[J]. IEEE Transactions on applied superconductivity, 2005, 15(2): 267-271.
- [2] Francis Balestra, Gérard Ghibaudo. Device and circuit cryogenic operation for low temperature electronics[M]. Dordrecht Kluwer Academic Publishers, 2001.
- [3] I M Hafez, G Ghibaudo, F Balestra. Reduction of Kink effect in short-channel MOS transistors[J]. IEEE Electron Device Letters, 1990, 11(3): 120-122.
- [4] 毕查德·拉扎维. 模拟CMOS集成电路设计[M]. 西安: 西安交通大学出版社, 2002.
- [5] Weidong Liu, et al. BSIM3v3. 3 MOSFET model user's manual[M]. Berkeley: University of California, 2005.
- [6] Hoji Hanamura, Masaaki Aoki, et al. Operation of bulk CMOS devices at very low temperatures[J]. IEEE Journal of Solid-state Circuits, 1996, SC-21(3): 484-489.
- [7] U Kleine. Low-noise CMOS preamplifier operating at 4.2K[J]. IEEE Journal of the Solid-State Circuits, 1994, 29(8): 921-926.